



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

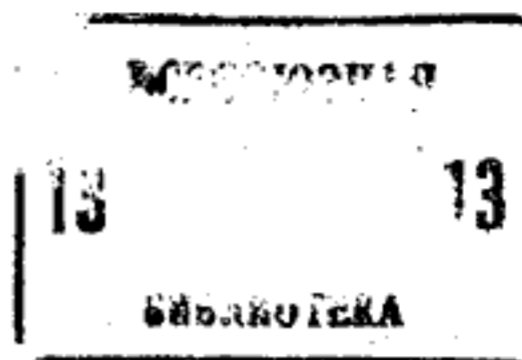
(19) SU (11) 1170449 A

(51)4 G 06 F 7/49

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3608773/24-24

(22) 17.06.83

(46) 30.07.85. Бюл. № 28

(72) В.А.Лужецкий, А.И.Черняк,

В.В.Кондратенко и Д.А.Стахов

(53) 681.325.5(088.8)

(56) Авторское свидетельство СССР  
№ 968807, кл. G 06 F 7/50, 1981.

Авторское свидетельство СССР  
№ 696452, кл. G 06 F 7/49, 1977.

(54)(57) ПОСЛЕДОВАТЕЛЬНЫЙ СУММАТОР КОДОВ С ИРРАЦИОНАЛЬНЫМИ ОСНОВАНИЯМИ, содержащий одноразрядный сумматор, регистр, элемент задержки и блок формирования дополнительных сигналов суммы и переноса, который содержит элементы И с первого по шестой, элементы ИЛИ с первого по пятый и элементы НЕ с первого по пятый, причем первый и второй входы одноразрядного сумматора соединены с входами соответствующих слагаемых последовательного сумматора, а третий вход подключен к выходу элемента задержки, выход первого элемента ИЛИ соединен с выходом суммы последовательного сумматора, а первый вход первого элемента ИЛИ соединен с выходом первого элемента И, выход переноса одноразрядного сумматора соединен с первыми входами второго, третьего и четвертого элементов И, выход второго элемента И соединен с первым входом второго элемента ИЛИ, выход третьего элемента И соединен с первым входом третьего элемента ИЛИ, а выход четвертого элемента И - с пер-

вым входом четвертого элемента ИЛИ, вторые входы второго и третьего элементов И соединены с выходами первого и второго элементов НЕ, отличающийся тем, что, с целью расширения функциональных возможностей сумматора путем обеспечения суммирования кодов с иррациональными основаниями как в минимальной, так и в неминимальной форме, последовательный сумматор дополнительно содержит элементы И с седьмого по семнадцатый и шестой элемент ИЛИ, выход суммы одноразрядного сумматора соединен с входом второго элемента НЕ и с первыми входами первого, пятого, шестого, седьмого, восьмого и девятого элементов И, а выход второго элемента НЕ подключен к первым входам десятого, одиннадцатого и двенадцатого и к второму входу четвертого элементов И, выход переноса одноразрядного сумматора соединен с входом третьего элемента НЕ, с первыми входами тринадцатого, четырнадцатого и пятнадцатого и с вторыми входами первого, пятого и седьмого элементов И, выход третьего элемента НЕ соединен с первыми входами шестнадцатого и семнадцатого и с вторыми входами шестого, десятого и одиннадцатого элементов И, вторые входы восьмого, девятого, тринадцатого и пятнадцатого, а также третьи входы третьего и десятого элементов И соединены с входом первого элемента НЕ, выход которого подключен к вторым входам двенадцатого и семнадцатого и к третьим входам четвертого и шестого элементов И, вторые входы четырнад-

(19) SU (11) 1170449 A

цатого и шестнадцатого элементов И соединены с входом четвертого элемента НЕ, выход которого подключен к четвертому входу четвертого элемента И, третьи входы первого, девятого, одиннадцатого, двенадцатого, пятнадцатого и семнадцатого элементов И соединены с входом пятого элемента НЕ, выход которого подключен к третьим входам седьмого, восьмого и тринадцатого элементов И, второй и третий входы первого элемента ИЛИ соединены с выходами соответственно девятого и пятнадцатого элементов И, вторые входы второго, третьего и четвертого элементов ИЛИ соединены соответственно с выходами пятого, шестого и десятого элементов И, входы пятого элемента ИЛИ соединены соответственно с выходами седьмого,

восьмого, тринадцатого и шестнадцатого элементов И, а входы шестого элемента ИЛИ - соответственно с выходами одиннадцатого, двенадцатого, четырнадцатого и семнадцатого элементов И, выходы элементов ИЛИ с второго по шестой подключены к входам разрядов регистра с первого по пятый, выходы разрядов регистра с первого по пятый подключены соответственно к входу элемента задержки, к входу первого элемента НЕ, входу четвертого элемента НЕ, входу пятого элемента НЕ и к четвертому входу первого элемента ИЛИ, вход сброса и тактовый вход регистра соединены соответственно с входом начальной установки и с тактовым входом последовательного сумматора.

## 1

Изобретение относится к вычислительной технике и может быть использовано в специализированных вычислительных устройствах.

Целью изобретения является расширение функциональных возможностей сумматора путем обеспечения суммирования кодов с иррациональными основаниями как в минимальной, так и в неминимальной форме.

На фиг. 1 представлена структурная схема последовательного сумматора кодов с иррациональными основаниями; на фиг. 2 - функциональная схема блока формирования дополнительных сигналов суммы и переноса.

Последовательный сумматор содержит вход 1 начальной установки, тактовый вход 2, входы 3 и 4 слагаемых, одноразрядный сумматор 5, элемент задержки 6, блок 7 формирования дополнительных сигналов суммы и переноса и регистр 8. Сумматор 5 имеет выходы 9 и 10 суммы и переноса, блок 7 - входы 11 - 16. Регистр 8 имеет выходы 17 - 21, блок 7 - выходы 22 - 26, регистр 8 - входы 27 - 31. Выходом суммы является выход 32 блока 7. Блок 7 содержит элементы НЕ 33-37, элемент И 38 - 54 и элементы ИЛИ 55 - 60.

## 2

В системе счисления с иррациональными основаниями как в избыточной любое число, кроме нуля, может быть представлено несколькими формами кодов. Среди них выделяют минимальную форму, которая характеризуется отсутствием двух рядом стоящих единиц и является единственной для каждого числа. В данном сумматоре слагаемые могут быть представлены произвольной формой кодов с иррациональными основаниями, что и определяет положительный эффект.

Устройство работает следующим образом.

При поступлении единичного сигнала на вход 1 устройства, регистр 8 устанавливается в нулевое состояние. На выходе элемента задержки 6 - нулевой сигнал. Поступление слагаемых на одноразрядный сумматор 5 начинается со старших разрядов. При поступлении сигналов на входы 3 и 4 слагаемых происходит их сложение на одноразрядном сумматоре 5. Сигналы суммы и переноса с выходов 9 и 10 одноразрядного сумматора 5 поступают на входы 11 и 12 блока 7 формирования дополнительных сигналов, на входы 13-16 которого поступают сигналы с вы-

ходов 18-21 регистра 8. Блок 7 формирования дополнительных сигналов в зависимости от кода на входах 11 - 16 формирует код на выходах 22 - 26 и 32.

Сигнал выхода 32 блока 7 формирования дополнительных сигналов является сигналом суммы. Код с выходов 22 - 26 блока 7 формирования дополнительных сигналов поступает на входы 27-31 регистра 8. При поступлении единичного сигнала на тактирующий вход регистра 8 происходит запись кода в регистр. Сигнал с выхода 17 регистра 8 поступает на вход элемента 6 задержки, а код с выходов 18-21 регистра 8 поступает на входы 13-16 блока 7 формирования дополнительных сигналов и т.д.

Таким образом, в каждом такте происходит сложение сигналов слагаемых с одним из дополнительных сигналов, задержанным на два такта.

Сигналы промежуточной суммы и переноса совместно с дополнительными сигналами формируют сигналы результата и дополнительные сигналы для следующего такта.

Рассмотрим более подробно процесс сложения. Пусть, например, необходимо сложить коды  $x=1101101011100$  и  $y=1011101001100$ .

Единичный сигнал подается на вход 1 регистра 8. Регистр 8 находится в состоянии 00000 и элемент 6 задержки - в нулевом состоянии. На первый вход одноразрядного сумматора 5 поступает сигнал "0" с элемента 6 задержки, на входы 3 и 4 одноразрядного сумматора 5 поступают единичные сигналы. На выходах 9 и 10 одноразрядного сумматора 5 формируется значение суммы и переноса, соответственно равные "0" и "1", которые поступают на входы 11 и 12 блока 7 формирования дополнительных сигналов. Код 0000 с выходов 18-21 регистра 8 поступает на входы 13-16 блока 7 формирования дополнительных сигналов. На выходах 22-26 и 32 блока 7 форми-

рования дополнительных сигналов устанавливается код 101000 в соответствии с табл. 1. Код с выходов 22 - 26 блока 7 формирования дополнительных сигналов поступает на входы 27 - 31 регистра 8. Нулевой сигнал с выхода 32 блока 7 формирования дополнительных сигналов является сигналом суммы. При поступлении единичного сигнала на вход 2 регистра 7 он устанавливается в состояние 10100. Дальнейшая работа устройства может быть представлена с помощью табл. 1.

Из табл. 1 следует, что результат на выходе сумматора получается с постоянной задержкой на четыре такта сложения.

В данном устройстве при сложении чисел, представленных кодами в неминимальной форме, необходимо учитывать распространение переноса через четыре разряда в сторону старших разрядов. Приведенный ниже пример иллюстрирует невозможность сложения при учете распространения сигнала через меньшее количество разрядов. Пусть необходимо сложить число 306 само с собой. Пусть далее это число в первом коде Фибоначчи будет представлено кодом 01100110111100. Процесс сложения, начиная со старших разрядов, иллюстрируется табл. 2.

Здесь в каждом такте производится сложение разрядов числа с номерами, соответствующими увеличенному на два номера такта. Стрелками показано распространение переноса при формировании результата.

При сложении чисел, представленных в минимальной форме, распространение сигнала переноса в сторону старших разрядов возможно только на один разряд, что позволяет складывать их на данном устройстве.

Конкретно блок 7 может быть построен на базе постоянного запоминающего устройства (ПЗУ).

Табл. 3 содержит информацию для программирования ПЗУ и описывает работу блока 7.



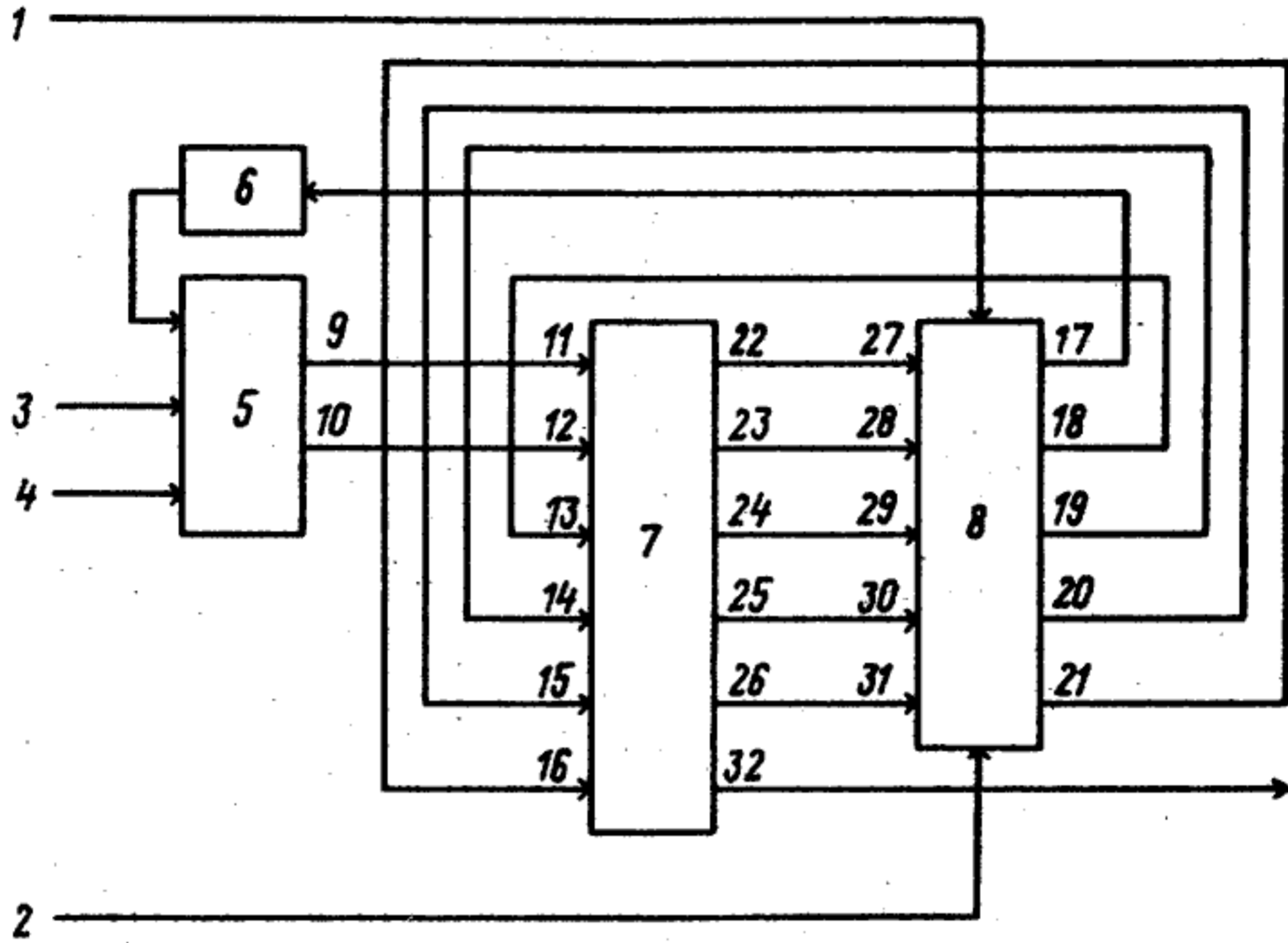
Т а б л и ц а 2

Номер так- та	Вес разряда													
	377	233	144	89	55	34	21	13	8	5	3	2	1	1
	Номер разряда													
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
	Код первого слагаемого													
	0	0	1	1	0	1	1	0	1	1	1	1	0	0
Код второго слагаемого														
	0	0	1	1	0	1	1	0	1	1	1	1	0	0
1	0	1	0	1										
2	1	0	0	0										1
3	1	0	0	0	1			0						
4	1	0	1	0	0	0								1
5	1	0	1	0	0	1	0							1
6	1	0	1	0	0	1	0	1				0		
7	1	0	1	0	1	0	0	1	0					1
8	1	0	1	0	1	0	1	0	0	0				1
9	1	0	1	0	1	0	1	0	1	0	0			1
10	1	0	1	0	1	0	1	1	0	0	0	0		1
11	1	0	1	0	1	0	1	1	0	0	0	0	0	1
12	1	0	1	0	1	0	1	1	0	0	0	0	0	1

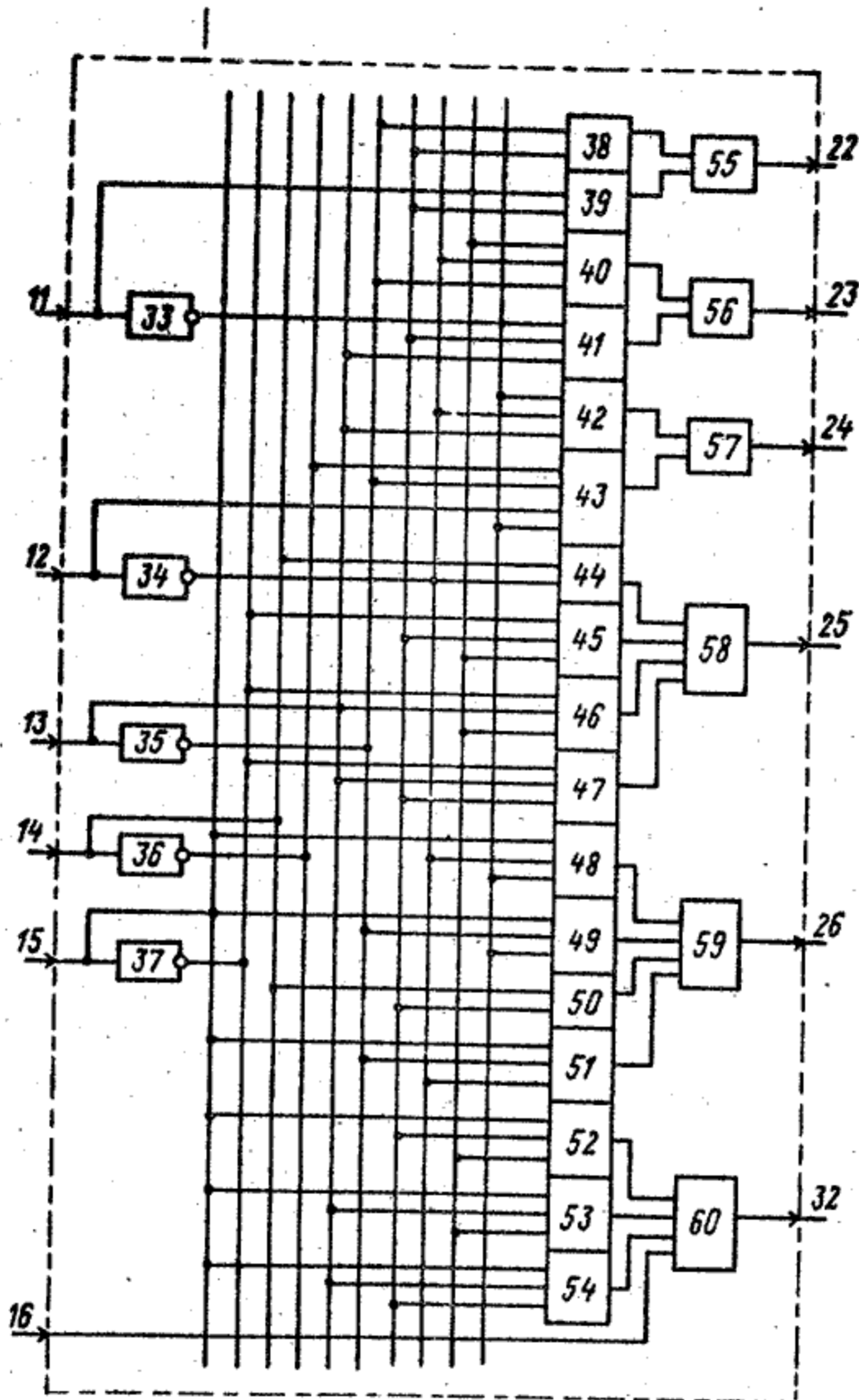
Т а б л и ц а 3

Входы						Выходы					
11	12	13	14	15	16	22	23	24	25	26	32
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	0	0	0	0	1
0	0	0	0	1	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	0	0

Входы						Выходы					
11	12	13	14	15	16	22	23	24	25	26	32
0	0	0	1	0	1	0	0	0	1	0	1
0	0	1	0	0	0	0	0	1	0	0	0
0	0	1	0	0	1	0	0	1	0	0	1
0	0	1	0	1	0	0	0	1	0	1	0
0	1	0	0	0	0	1	0	1	0	0	0
0	1	0	0	0	1	1	0	1	0	0	1
0	1	0	0	1	0	1	0	1	0	1	0
0	1	0	1	0	0	1	0	0	0	1	0
0	1	0	1	0	1	1	0	0	0	1	1
0	1	1	0	0	0	0	1	0	1	0	0
0	1	1	0	0	1	0	1	0	1	0	1
0	1	1	0	1	0	0	1	0	0	0	1
1	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	1	0	1	0	0	0	1
1	0	0	0	1	0	0	1	0	0	1	0
1	0	0	1	0	0	0	1	0	1	0	0
1	0	0	1	0	1	0	1	0	1	0	1
1	0	0	1	0	1	0	1	0	1	0	1
1	0	0	1	0	1	0	1	0	1	0	1
1	0	1	0	0	0	0	0	0	1	0	0
1	0	1	0	0	1	0	0	0	1	0	1
1	0	1	0	1	0	0	0	0	0	0	1
1	1	0	0	0	0	1	0	0	1	0	0
1	1	0	0	0	1	1	0	0	1	0	1
1	1	0	0	1	0	1	0	0	0	0	1
1	1	0	1	0	0	1	1	0	0	1	0
1	1	0	1	0	1	1	1	0	0	1	1
1	1	1	0	0	0	1	0	0	0	1	0
1	1	1	0	0	1	1	0	0	0	1	1
1	1	1	0	1	0	1	0	1	0	0	1



Фиг. 1



Фиг. 2

Составитель А. Степанов

Редактор М. Келемеш    Техред А. Бабинец    Корректор Л. Бескид

Заказ 4705/46

Тираж 710

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4