



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1262482 A1

(5D) 4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3861122/24-24

(22) 01.03.85

(46) 07.10.86. Бюл. № 37

(72) А.П. Стахов, В.А. Лужецкий,
А.И. Черняк и В.П. Малиночка

(53) 681.325(088.8)

(56) Авторское свидетельство СССР
№ 987620, кл. G 06 F 7/52, 1981.

Стахов А.П. Коды золотой пропор-
ции. - М.: Радио и связь, 1984.

Дроздов Е.А. и Пятибратов А.П.
Основания устройства электронных
цифровых вычислительных машин. - М.,
1959, с. 336-338, рис. 180.

(54) ПОСЛЕДОВАТЕЛЬНОЕ УСТРОЙСТВО ДЛЯ
УМНОЖЕНИЯ

(57) Изобретение относится к вычис-
лительной технике и может быть ис-
пользовано для умножения последова-
тельных кодов золотой пропорции, по-
ступающих старшими разрядами вперед.
Цель изобретения - упрощение устрой-
ства. Это достигается путем представ-
ления кода множителя минимальной фор-
мой, одновременного умножения на
два разряда кода множителя и получе-
ния результата умножения старшими
разрядами вперед. Производится умно-
жение n -разрядного кода множителя,
представленного в минимальной форме,
на код множимого произвольной разряд-
ности, представленного как в мини-
мальной, так и в неминимальной фор-
мах. 1 ил.

(19) SU (11) 1262482 A1

Изобретение относится к вычислительной технике и может быть использовано при построении цифровых вычислительных машин последовательного действия.

Цель изобретения - упрощение устройства.

На чертеже представлена функциональная схема восьмиразрядного последовательного устройства для умножения.

Устройство содержит динамический регистр 1 множимого, статический регистр 2 последовательного приближения множителя, восемь элементов И 3.1-3.8, четыре элемента ИЛИ 4.1-4.4, шесть триггеров 5.1-5.6, три последовательных сумматора 6.1-6.3, первый установочный вход 7, тактирующий вход 8 устройства, второй установочный вход 9, вход 10 множимого устройства, вход 11 множителя устройства, выход 12 устройства.

Код "золотой" пропорции из множества всех возможных форм представления одного и того же числа имеет одну форму, в которой после каждой единицы может быть не менее одного нуля, т.е. минимальную форму представления [2].

Два соседних разряда множителя, представленного в коде "золотой" пропорции, не могут одновременно равняться единице, т.е. $a_i \cdot a_{i+1} = 0$, где a_i, a_{i+1} - значения i -го и $i+1$ разрядов кода множителя.

На выходе i -го элемента И получается частичное произведение Π_i i -го разряда кода множителя на последовательный код множимого

$$\Pi_i = a_i \cdot B,$$

где B - последовательный код множимого.

На выходе j -го элемента ИЛИ формируется частичное произведение Π_j

$$\Pi_j = a_{2j-1} \cdot B \vee a_{2j} \cdot B.$$

Результат умножения получается при сложении сумматорами последовательных кодов частичных произведений Π_j

$$\Pi = \sum_{j=1}^{n/2} \Pi_j,$$

где n - разрядность кода множителя.

Рассмотрим работу последовательного устройства для умножения на примере умножения двух кодов золотой пропорции с разрядностью кодов множимого и множителя равной восьми: код множи-

теля $A=01001001$; код множимого $B=10110010$.

Нулевой потенциал с первого установочного входа 7 поступает на входы обнуления динамического регистра 1 множимого, триггеров 5.1-5.6 и последовательных сумматоров 6.1-6.3 и устанавливает их в нулевое состояние. Одновременно нулевой потенциал с второго установочного входа 9 поступает на вход начальной установки статического регистра 2 последовательного приближения множителя и положительный перепад с тактирующего входа 8 устройства поступает на входы синхронизации динамического регистра 1 множимого, статического регистра 2 последовательного приближения множителя, триггеров 5.1-5.6, последовательных сумматоров 6.1-6.3 и устанавливает регистр 2 последовательного приближения множителя в начальное состояние.

С приходом второго положительного перепада на тактирующий вход 8 устройства (при этом на первом установочном входе 7 и втором установочном входе 9 присутствуют потенциалы логической единицы) в первый разряд динамического регистра 1 множимого записывается старший разряд кода множимого, в нашем примере записывается единица, а в первый разряд статического регистра 2 последовательного приближения множителя записывается старший разряд кода множителя, в нашем примере записывается ноль, в триггера 5.1-5.6 и последовательные сумматоры 6.1-6.3 записываются нули.

С приходом третьего положительного перепада на тактирующий вход 8 устройства содержимое динамического регистра 1 множителя сдвигается на один разряд вправо, а в первый его разряд записывается значение второго разряда кода множимого, в нашем примере записывается ноль, во второй разряд статического регистра 2 последовательного приближения множителя записывается значение второго разряда кода множителя, в нашем примере записывается единица, в триггера 5.1-5.6 и последовательные сумматоры записываются нули, при этом на выходе элементов И 3.2 и ИЛИ 4.1 формируется единичный потенциал.

С приходом четвертого положительного перепада на тактирующий вход 8

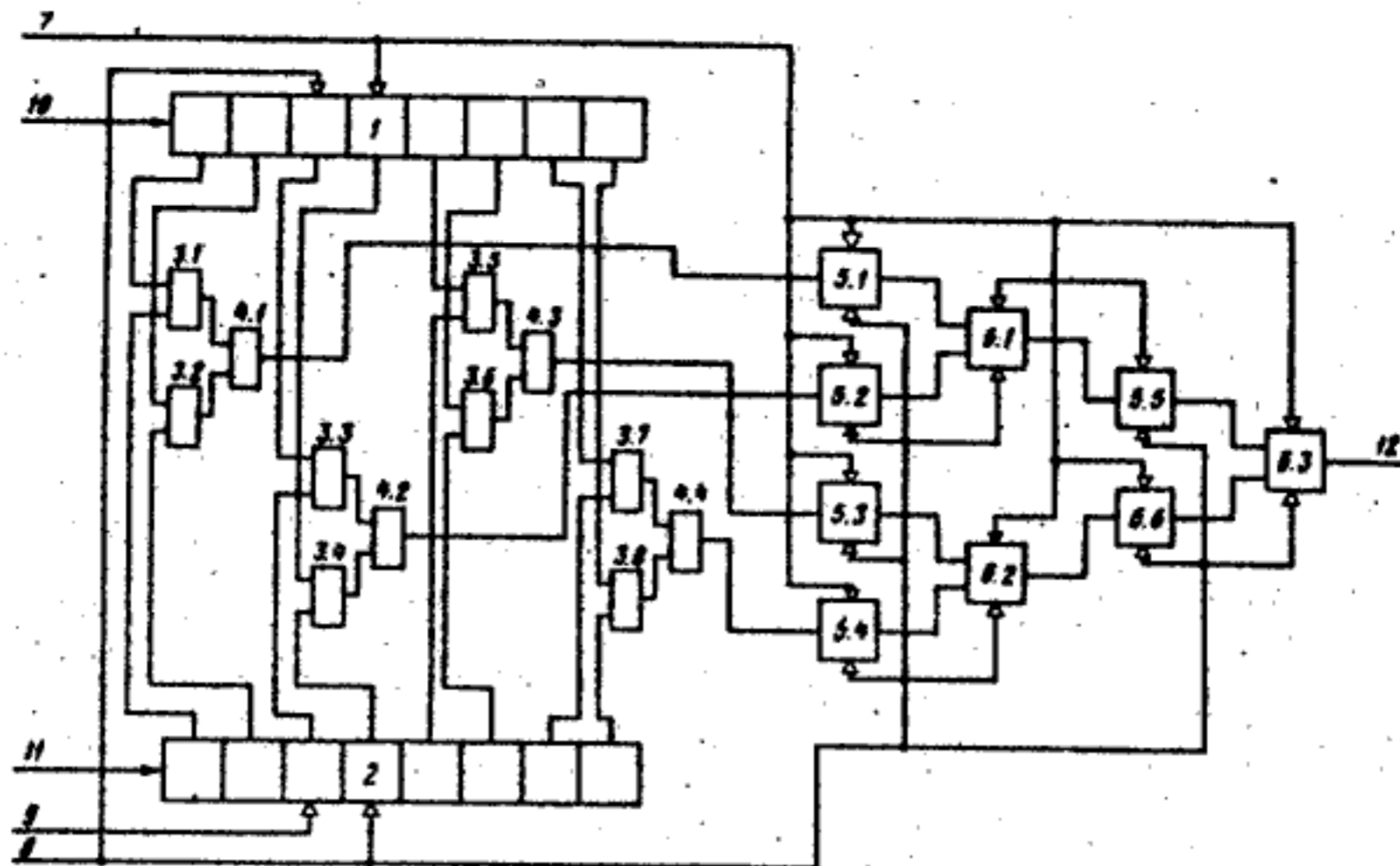
устройства содержимое динамического регистра 1 множимого сдвигается на один разряд вправо, а в первый его разряд записывается значение третьего разряда кода множимого, в нашем примере записывается единица, в третий разряд статического регистра 2 последовательного приближения множителя записывается значение третьего разряда кода множителя, в нашем примере записывается ноль, в триггер 5.1 записывается единица, в триггера 5.2-5.6 и последовательные сумматоры записываются нули.

С приходом пятого положительного перепада на тактирующий вход 8 устройства содержимое динамического регистра 1 множимого сдвигается на один разряд вправо, в первый его разряд записывается значение четвертого разряда кода множимого, в нашем примере записывается единица, в четвертый разряд статического регистра 2 последовательного приближения множителя записывается значение четвертого разряда кода множителя, в нашем примере записывается ноль, в триггера 5.1-5.6 записываются нули, в последовательный сумматор 6.1 записывается единица, в последовательные сумматоры 6.2 и 6.3 записываются нули, на выходах элементов И 3.2 и ИЛИ 4.1 формируется единичный потенциал.

Ф о р м у л а и з о б р е т е н и я

Последовательное устройство для умножения, содержащее динамический регистр множимого, статический регистр последовательного приближения множителя, n -элементов И, где n - разрядность множителя, p - последовательных сумматоров, где $l \leq p \leq n$, причем информационный вход динамического регистра множимого соединен с входом множимого устройства, информационный вход статического регистра последовательного приближения множителя соединен с входом множителя устройства, входы синхронизации динамического регистра множимого и статического регистра последовательного

приближения множителя соединены с тактирующим входом устройства, первые входы элементов И соединены с выходами соответствующих разрядов динамического регистра множимого, вторые входы элементов И соединены с выходами соответствующих разрядов статического регистра последовательного приближения множителя, о т л и ч а ю щ е е с я тем, что, с целью его упрощения, оно содержит $n/2$ элементов ИЛИ, $2p$ -триггеров, причем p -последовательных сумматоров и $2p$ -триггеров разбиты на K -групп, где $K = \lceil \log_2(n/2) \rceil$, где $\lceil \cdot \rceil$ - округление до большего целого, l -е группы последовательных сумматоров и триггеров содержат соответственно $M_l = \lfloor \frac{M_{l-1}}{2} \rfloor$ сумматоров и $2 M_l$ -триггеров, где M_{l-1} - число последовательных сумматоров $(l-1)$ -й группы, число последовательных сумматоров первой группы M_1 равно $n/4$, $p = \sum_{l=1}^K M_l$, первые и вторые входы j -го элемента ИЛИ соединены соответственно с выходами $(2j-1)$ -го и $2j$ -го элементов И, выход j -го элемента ИЛИ соединен с информационным входом j -го триггера первой группы, информационные входы i -го последовательного сумматора l -ой группы соединены соответственно с выходами $2i$ -го и $(2i-1)$ -го триггера l -й группы, информационные входы триггеров l -й группы соединены с выходами последовательных сумматоров $(l-1)$ -й группы, входы синхронизации последовательных сумматоров соединены с входами синхронизации триггеров и тактирующим входом устройства, входы обнуления динамического регистра множимого соединены с входами обнуления триггеров, с входами обнуления последовательных сумматоров и соединены с первым установочным входом устройства, вход начальной установки статического регистра последовательного приближения множителя соединен с вторым установочным входом устройства, выход последовательного сумматора K -ой группы является выходом устройства.



Составитель Н. Маркелова

Редактор Г. Волкова Техред Л. Сердюкова Корректор М. Пожо

Заказ 5428/46

Тираж 671

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4