



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4062926/24-24

(22) 29.04.86

(46) 23.12.87. Бюл. № 47

(72) А.П.Стахов, В.А.Лужецкий,
А.И.Черняк и В.П.Малиночка

(53) 681.325(088.8)

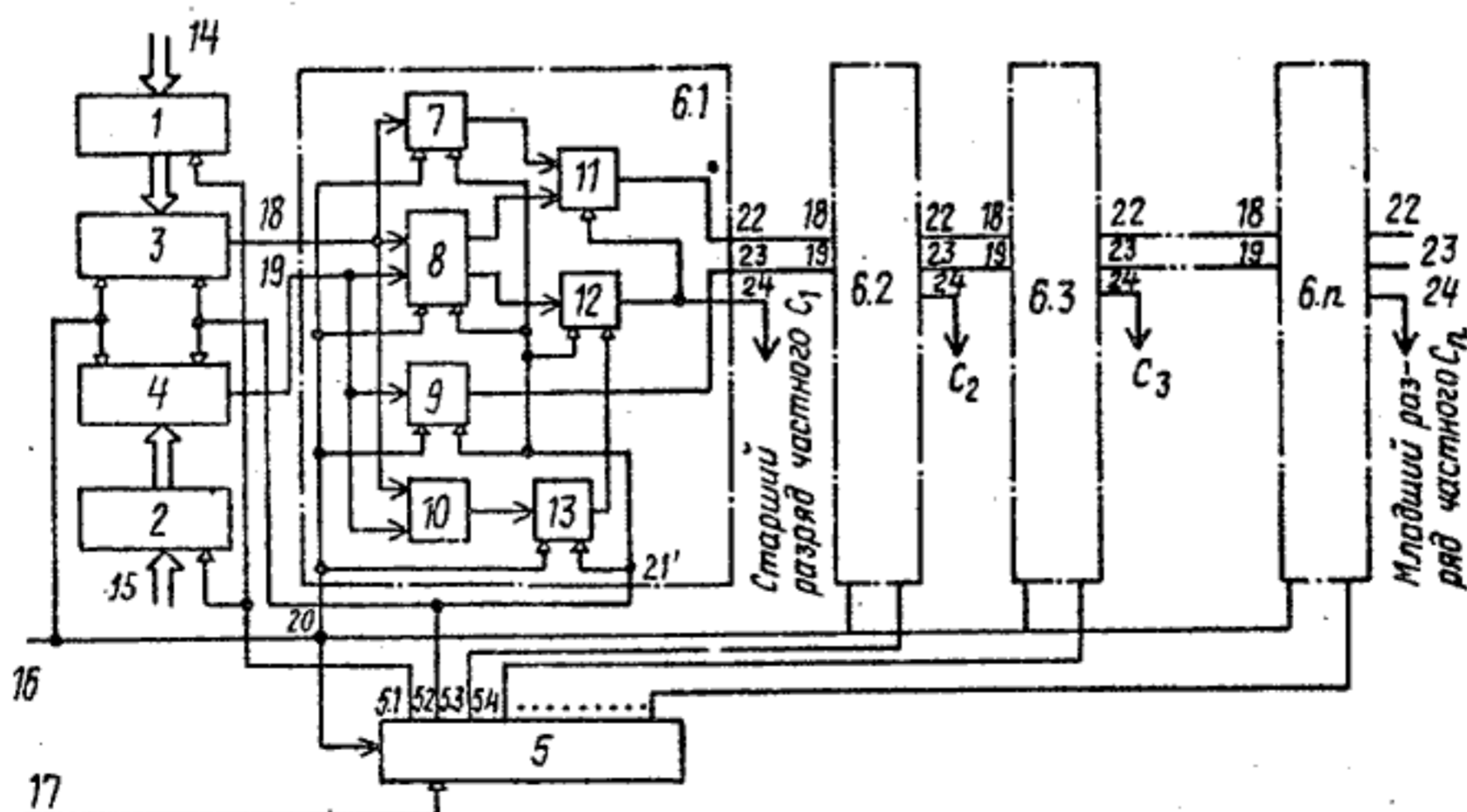
(56) Авторское свидетельство СССР
№ 744564, кл. G 06 F 7/49, 1978.

Авторское свидетельство СССР
№ 1151955, кл. G 06 F 7/49, 1983.

(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ КОДОВ
"ЗОЛОТОЙ" ПРОПОРЦИИ

(57) Изобретение относится к области вычислительной техники и может быть использовано при построении специализированных цифровых вычислительных систем. Цель изобретения - повышение производительности за счет возможности одновременного выполнения опе-

рации деления над несколькими парами операндов. Устройство для деления кодов "золотой" пропорции содержит регистры 1, 2 делимого и делителя, регистры 3, 4 сдвига делимого и делителя, блок 5 управления и п блоков 6 определения значений разрядов частотного с соответствующими связями. Каждый из п блоков 6 определения значений разрядов частного содержит первый узел 7 задержки, вычитатель 8, второй узел 9 задержки, элемент ИЛИ 10, коммутатор 11, триггер 12 и третий узел 13 задержки с соответствующими связями. Устройство выполняет операцию деления двух кодов "золотой" пропорции путем последовательного вычитания двух операндов, поступающих старшими разрядами вперед. 3 ил.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано при построении специализированных цифровых вычислительных систем.

Цель изобретения - повышение производительности за счет возможности одновременного выполнения операции деления над несколькими парами операндов.

На фиг.1 приведена функциональная схема устройства; на фиг.2 - функциональная схема узла задержки; на фиг.3 - функциональная схема блока управления.

Устройство для деления кодов "золотой" пропорции (фиг.1) содержит регистр 1 делимого, регистр 2 делителя, регистр 3 сдвига делимого, регистр 4 сдвига делителя, блок 5 управления и n блоков 6 определения значений разрядов частного (где n - разрядность операндов), каждый из которых содержит первый узел 7 задержки, информационный вход которого соединен с первым информационным входом вычитателя 8, второй информационный вход которого соединен с информационным входом второго узла 9 задержки и первым входом элемента ИЛИ 10, второй вход которого соединен с информационным входом первого узла 7 задержки, выход которого соединен с первым входом коммутатора 11, второй вход которого соединен с информационным выходом вычитателя 8, знаковый выход которого соединен с информационным входом триггера 12, тактовый вход которого соединен с выходом третьего узла 13 задержки, информационный вход которого соединен с выходом элемента ИЛИ 10, инверсный выход триггера 12 соединен с управляющим входом коммутатора 11, тактовый вход первого узла 7 задержки соединен с тактовыми входами второго и третьего узлов 9 и 13 задержки и вычитателя 8, установочный вход первого узла 7 задержки соединен с установочными входами второго и третьего узлов 9 и 13 задержки, вычитателя 8 и триггера 12, устройство также содержит шину 14, делимого, шину 15 делителя, вход 16 синхронизации, вход 17 начальной установки, а каждый из n блоков 6 определения значений разрядов частного имеет первый и второй информационные входы 18 и 19, соединенные соответ-

венно с информационными входами вычитателя 8, синхровход 20, соединенный с тактовым входом вычитателя 8, установочный вход 21, соединенный с установочным входом 22 вычитателя 8, первый выход 12, соединенный с выходом коммутатора 11, второй выход 23, соединенный с выходом второго узла 9 задержки и третий выход 24, соединенный с инверсным выходом триггера 12, причем вход 16 синхронизации устройства соединен с тактовыми входами регистров 3 и 4 сдвига делимого и делителя, блока 5 управления и с синхровходами 20 n блоков 6 определения значений разрядов частного, установочные входы 21 которых соединены соответственно с $(2, \dots, n+1)$ -ми выходами блока 5 управления, первый выход которого соединен с входами разрешения записи регистров 1 и 2 делимого и делителя, второй выход блока 5 управления соединен с установочными входами регистров 3 и 4 сдвига делимого и делителя, информационные входы которых соединены соответственно с разрядными выходами регистров 1 и 2 делимого и делителя, информационные входы регистра 1 делимого соединены соответственно с разрядами шины 14 делимого, информационные входы регистра 2 делителя соединены соответственно с разрядами шины 15 делителя, установочный вход блока 5 управления соединен с входом 17 начальной установки, первый и второй информационные входы 18 и 19 n -го блока 6 определения значений разрядов частного соединены соответственно с первым и вторым выходами 22, 23 $(i-1)$ -го блока 6 определения значений разрядов частного (где $i = 2, 3, \dots, n$), первый и второй информационные входы 18 и 19 первого блока 6 определения значений разрядов частного соединены соответственно с выходами регистров 3 и 4 сдвига делимого и делителя, третьи выходы 24 n блоков 6 определения значений разрядов частного являются разрядными выходами устройства.

Узел 13 задержки (фиг.2) содержит четыре D-триггеры 25-28, входы установки в ноль которых соединены с установочным входом узла 13 задержки, тактовые входы первого, второго и третьего D-триггеров 25-27 узла 13 задержки соединены с его синхровхо-

дом, информационный вход третьего D-триггера 27 соединен с прямым выходом второго D-триггера 26, информационный вход которого соединен с прямым выходом первого D-триггера 25, информационный вход которого является информационным входом узла 13 задержки, выход которого соединен с прямым выходом четвертого D-триггера 28, тактовый вход которого соединен с прямым выходом третьего D-триггера 27, а информационный вход - с шиной логической единицы.

Блок 5 управления (фиг.3) состоит из (n+4) разрядного циклического сдвигового регистра 29, тактовый вход которого является тактовым входом блока 5 управления, а вход начальной установки регистра является установочным входом блока 5 управления, выход второго разряда регистра 29 соединен с первым выходом блока 5 управления, выходы каждого (4i) n разрядов регистра 29 соединены соответственно с (2,...,n) выходами блока 5 управления.

Устройство работает следующим образом.

(на примере деления 12-тиразрядных кодов)

Код делимого 1 0 1 0 0 1 0 0 0 0 1 1.

Код делителя 0 1 0 1 0 0 1 1 0 1 0 0.

На шину 14 делимого поступает код делимого, на шину 16 делителя - код делителя. Импульс начальной установки, поступающий на вход 17, устанавливает первый разряд регистра 29 блока 5 управления в нулевое состояние, а остальные 13 разрядов - в единичное состояние. При поступлении синхронимпульсов на вход 16 в регистре 29 блока 5 управления движется циклический ноль. С приходом первого тактового импульса 3 ноль присутствует на выходе 5.1. блока 5 управления. По сигналу с этого выхода блока 5 управления происходит запись кода делимого с шины 14 в регистр 1 делимого, а кода делителя с шины 15 - в регистр 2 делителя.

При появлении нулевого сигнала на выходе 5.1 блока 5 управления происходит запись параллельных кодов делимого из регистра 1 делимого в регистр 3 сдвига делимого и делителя из регистра 2 делителя в регистр 4 сдвига делителя. Одновременно произ-

водится установка в начальное состояние блока 5.1 определения значений разрядов частного. При этом узел 7 задержки делимого, вычитатель 8 последовательных кодов, узел 9 задержки делителя, узел 13 задержки устанавливаются в нулевое состояние, а триггер 12 - в единичное состояние, на инверсном выходе триггера будет нулевое значение и коммутатор 11 подключает выход узла 7 задержки делимого к выходу 22 блока 6.1 определения значений разрядов частного.

Через четыре такта сигналом с выхода 5.3 блока 5 управления устанавливается в начальное состояние блок 6.2 определения значений разрядов частного и т.д.

Одновременно с поступлением синхронимпульсов на вход 16 устройства производится сдвиг вправо кодов делимого и делителя старшими разрядами вперед.

Таким образом, на входы 18 и 19 блока 6.1 определения значений разрядов частного поступают последовательные коды делителя:

A = 1 0 1 0 0 1 0 0 0 0 1 1

и делимого

B = 0 1 0 1 0 0 1 1 0 1 0 0

старшими разрядами вперед.

В вычитателе 8 производится вычитание кода делителя из кода делимого и определение значения разряда частного

```

A = 1 0 1 0 0 1 0 0 0 0 1 1
B = 0 1 0 1 0 0 1 1 0 1 0 0
0 0 1 0 0      1 такт
0 0 0 1 0     2 такт
0 0 1 1 1     3 такт - знак "+"
0 0 1 0 1 0  4 такт
0 0 1 1 1 1
1 0 1 0 1 1
0 0 1 1 1 0
0 1 0 1 1 0
1 0 1 0 1 1
0 0 1 1 1 0
1 0 0 1 1 1
0 1 0 1 1 0
1 0 1 0 1 1
0 1 0 1 1 0
1

```


$$A_4 = 001001010101$$

На третьем такте на втором выходе вычитателя 8 установится положительный знак и задержанный на три такта после появления первой значащей единицы в кодах делимого или делителя импульс с выхода узла 13 задержки запишет нулевое значение (положительный знак) в триггер 12. На инверсном выходе триггера появится единица, которая переключит коммутатор 11 таким образом, что он подключает первый выход вычитателя 8 к выходу 22 блока 6.1 определения значений разрядов частного. На выход 22 блока 6.1 поступает последовательный код первого остатка A_1 , от вычитания делителя из делимого, который для блока 6.2 определения значений разрядов частного будет являться кодом делимого. На выход 23 блока 6.1 поступает задержанный на пять тактов (на один такт относительно кода на выходе 22 блока 6.1) последовательный код делителя B_1 . На выходе 24 блока 6.1 единичный потенциал свидетельствует, что старший разряд кода частного равен единице.

В вычитателе 8 блока 6.2 определения значений разрядов частного производится вычитание последовательного кода делителя B_1 из последовательного кода первого остатка A_1 .

$$A_1 = 001001010101$$

$$B_1 = 001010011010$$

$$\begin{array}{r} 000,00 \\ 000,00 \\ 000,00 \\ 000,00 \\ 001,00 \end{array} \begin{array}{l} 1 \text{ такт} \\ 2 \text{ такт} \\ 3 \text{ такт} \\ 4 \text{ такт} \\ 5 \text{ такт} - \\ \text{знак "-"}$$

На пятом такте на втором выходе вычитателя 8 остается отрицательный знак и, задержанный на три такта после появления первой значащей единицы в кодах делителя B_1 или первого остатка A_1 , импульс с выхода узла 13 задержки запишет единичное значение (отрицательный знак) в триггер 12. На инверсном выходе триггера останется нулевое значение, коммутатор 11 не переключится. На выход 22 блока 6.2 определения значений разрядов частного поступает последовательный код второго остатка с выхода узла 7

задержки делимого, который будет равен значению первого остатка A_1 , задержанному на четыре такта. На выход 23 блока 6.2 поступает задержанный на один такт, относительно кода A_2 последовательный код делителя B_2 . На выходе 24 блока 6.2 нулевой потенциал свидетельствует, что второй разряд кода частного равен нулю.

В вычитателе 8 блока 6.3 определения значений разрядов частного производится вычитание последовательных кодов делителя B_2 из второго остатка A_2 .

$$A_2 = 001001010101$$

$$B_2 = 000101001101$$

$$\begin{array}{r} 000,00 \\ 000,00 \\ 001,00 \\ 000,10 \\ 001,00 \\ 001,10 \end{array} \begin{array}{l} 1 \text{ такт} \\ 2 \text{ такт} \\ 3 \text{ такт} \\ 4 \text{ такт} \\ 5 \text{ такт} - \\ \text{знак "-"} \\ 6 \text{ такт} \end{array}$$

В триггере 12 блока 6.3 определения значений разрядов частного будет зафиксирован также отрицательный знак. На выход 22 блока 6.3 поступает последовательный код третьего остатка, равный значению второго остатка A_2 , задержанному на четыре такта. На выход 23 блока 6.3 поступает задержанный на один такт относительно кода A_3 последовательный код делителя B_3 . На выходе 24 блока 6.2 нулевой потенциал свидетельствует, что второй разряд кода частного равен нулю.

В вычитателе 8 блока 6.4 определения значений разрядов частного производится вычитание последовательных кодов делителя B_3 из третьего остатка A_3 .

$$A_3 = 001001010101$$

$$B_3 = 000010100110$$

$$\begin{array}{r} 000,00 \\ 000,00 \\ 001,00 \\ 000,11 \\ 000,11 \\ 001,11 \\ 011,01 \\ 110,11 \end{array} \begin{array}{l} 1 \text{ такт} \\ 2 \text{ такт} \\ 3 \text{ такт} \\ 4 \text{ такт} \\ 5 \text{ такт} - \\ \text{знак "+"} \end{array}$$

```

1,0 1 1,1 0
  0,1 1 0,1 1
    1,0 1 1,1 0
      1,0 0 1,1 1
        0,0 1 1,1 0
          0,1 1 0,1 1
            1

```

A₄ = 0 0 0 0 1 1 0 1 1 0 0 1

В триггере 12 блока 6.4 определения значений разрядов частного будет зафиксирован положительный знак.

В блоке 6.5 будет зафиксирован также положительный знак.

```

A4 = 0 0 0 0 1 1 0 1 1 0 0 1
B4 = 0 0 0 0 0 1 0 1 0 0 1 1
0 0 0,0 0,      1 такт
  0 0 0,0 0,    2 такт
    0 0 0,0 0,  3 такт
      0 0 0,0 0, 4 такт
        0 0 0 1,0 0, 5 такт
          0 0 0 1,1 0, 6 такт
            0 0 1 0,1 1, 7 такт -
              знак "+"
                0,1 0 1,1 0,
                  1,0 1 1,1 1,
                    1,0 0 1,1 0,
                      0,0 0 1,1 0,
                        0,0 1 0,1 1,
                          0,1 0 1,1 0,
                            1 0 1 0,1 1.

```

A₅ = 0 0 0 0 0 1 1 0 0 0 1 0

В блоке 6.6 будет зафиксирован также положительный знак.

```

A = 0 0 0 0 0 1 1 0 0 0 1 0.
B = 0 0 0 0 0 0 1 0 1 0 0 1
0 0 0,0 0,      1 такт
  0 0 0,0 0,    2 такт
    0 0 0,0 0,  3 такт
      0 0 0 0,0 0, 4 такт
        0 0 0 0,0 0, 5 такт
          0,0 0 1,1 0, 6 такт
            0 0 0 1,1 0, 7 такт
              0 0 1 0,1 1, 8 такт -
                знак "+"

```

```

0,0 1,1 0
  0,1 1 0,1 1
    1,1 1 0,1 1
      1,0 1 1,1 0
        0,1 1 0,1 1
          1,1 0 1,1 0
            1

```

A₆ = 0 0 0 0 0 0 0 1 1 0 1 1

В блоке 6.7 будет зафиксирован отрицательный знак

A₆ = 0 0 0 0 0 0 0 1 1 0 1 1

B₆ = 0 0 0 0 0 0 0 1 0 1 0 0

```

5
0 0 0,0 0,      1 такт
  0 0 0,0 0,    2 такт
    0 0 0,0 0,  3 такт
      0 0 0,0 0, 4 такт
        0 0 0,0 0, 5 такт
          0 0 0,0 0, 6 такт
            0 0 0,0 0, 7 такт
              0 0 0,0 0, 8 такт
                0 0 1,0 0, 9 такт
                  0 0 0,1 0, 10 такт -
                    знак "-"
                      0 0 1,1 1, 11 такт

```

В блоке 6.8 будет зафиксирован положительный знак.

A₇ = 0 0 0 0 0 0 0 1 1 0 1 1

B₇ = 0 0 0 0 0 0 0 0 1 0 1 0

```

25
0 0 0,0 0,      1 такт
  0 0 0,0 0,    2 такт
    0 0 0,0 0,  3 такт
      0 0 0 0,0 0, 4 такт
        0 0 0 0,0 0, 5 такт
          0 0 0 0,0 0, 6 такт
            0 0 0 0,0 0, 7 такт
              0 0 0 1,0 0, 8 такт
                0 0 0 1,1 0, 9 такт
                  0 0 1 0,1 1, 10 такт -
                    знак "+"
                      0,1 0 1,1 0, 11 такт
                        1,0 1 1,1 1,
                          1,0 0 1,1 0,
                            0,0 1 0,1 1,
                              0

```

A₈ = 0 0 0 0 0 0 0 0 1 1 0 0

В блоке 6.9 будет зафиксирован положительный знак.

A₈ = 0 0 0 0 0 0 0 0 1 1 0 0

B₈ = 0 0 0 0 0 0 0 0 0 1 0 1

```

50
0 0 0,0 0,      1 такт
  0 0 0,0 0,    2 такт
    0 0 0,0 0,  3 такт
      0 0 0 0,0 0, 4 такт
        0 0 0 0,0 0, 5 такт
          0 0 0 0,0 0, 6 такт
            0 0 0 0,0 0, 7 такт
              0 0 0 0,0 0, 8 такт

```

0,001,00, 9 такт
 0,001,10, 10 такт
 0,010,11, 11 такт -
 знак "+"
 0,011,10,
 0,110,11,
 1,101,10,

A₉ = 0 0 0 0 0 0 0 0 0 0 0 1 1

В блоке 6.10 также будет зафиксирован, положительный знак.

A₉ = 0 0 0 0 0 0 0 0 0 0 0 1 1

B₉ = 0 0 0 0 0 0 0 0 0 0 0 1 0

0,000,00, 1 такт
 0,000,00, 2 такт
 0,000,00, 3 такт
 0,000,00, 4 такт
 0,000,00, 5 такт
 0,000,00, 6 такт
 0,000,00, 7 такт
 0,000,00, 8 такт
 0,000,00, 9 такт
 0,000,00, 10 такт
 0,000,00, 11 такт
 0,001,00, 12 такт
 0,001,10, 13 такт -
 знак "+"
 0,010,11, 14 такт

A₁₀ = 0 0 0 0 0 0 0 0 0 0 0 0 0

В блоке 6.11 будет зафиксирован отрицательный знак

A₁₀ = 0 0 0 0 0 0 0 0 0 0 0 0 0

B₁₀ = 0 0 0 0 0 0 0 0 0 0 0 0 1

0,000,00, 1 такт
 0,000,00, 2 такт
 0,000,00, 3 такт
 0,000,00, 4 такт
 0,000,00, 5 такт
 0,000,00, 6 такт
 0,000,00, 7 такт
 0,000,00, 8 такт
 0,000,00, 9 такт
 0,000,00, 10 такт
 0,000,00, 11 такт
 0,001,00, 12 такт
 0,001,10, 13 такт
 0,010,11, 14 такт -
 знак "-"

A₁₁ = 0 0 0 0 0 0 0 0 0 0 0 0 0

5
10
15
20
25
30
35
40
45
50
55

В блоке 6.12 будет зафиксирован отрицательный знак

A₁₁ = 0 0 0 0 0 0 0 0 0 0 0 0 0

B₁₁ = 0 0 0 0 0 0 0 0 0 0 0 0 0

A₁₂ = 0 0 0 0 0 0 0 0 0 0 0 0 0 - знак "-"

Таким образом, на выходах 24 блоков 6.1...6.12 будет зафиксирован последовательный код:

1 0 0 1 1 1 0 1 1 1 0 0

Через каждые n+4 тактов цикл работы блока управления повторяется и, вслед за последовательными кодами первой пары делимого и делителя, через четыре такта поступают последовательные коды следующей пары делимого и делителя.

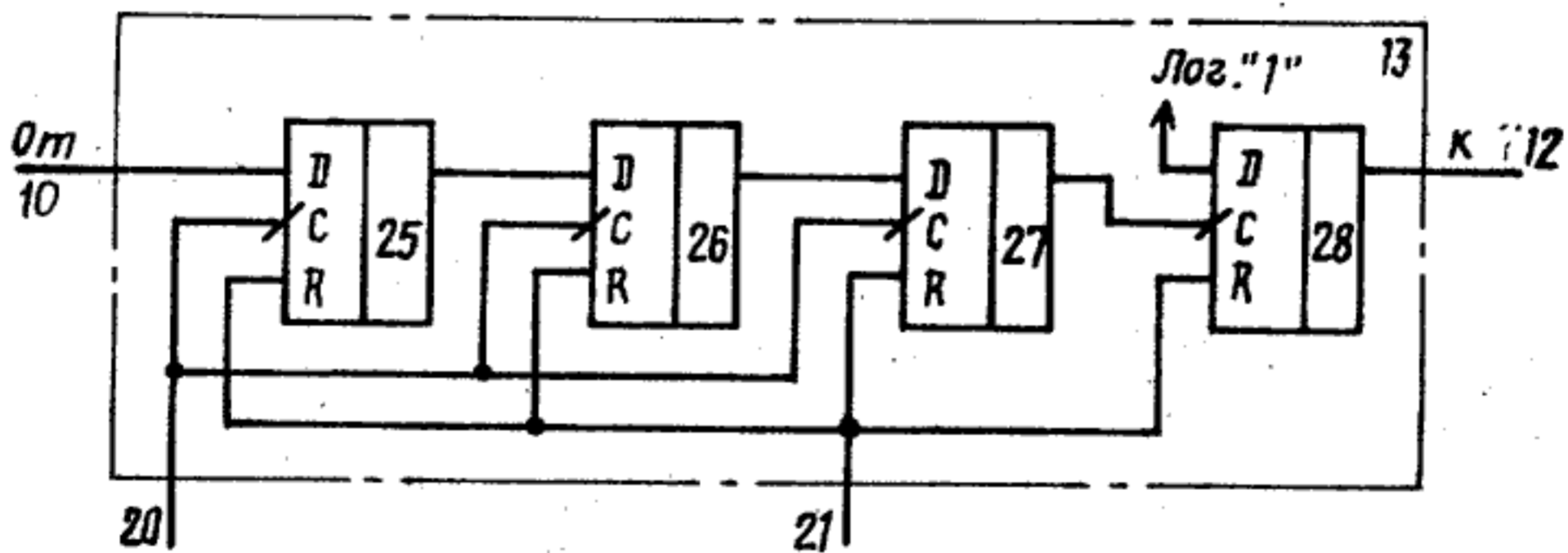
Таким образом, при делении в потоковом режиме на предлагаемом устройстве для деления одной пары делимого и делителя требуется 5 n тактов, результат второй пары получается через n+4 тактов, результат третьей пары получается через n+4 тактов после получения результата второй и т.д. В общем случае, для деления одной n-разрядной пары делимого и делителя, требуется n+4 тактов.

Ф о р м у л а и з о б р е т е н и я

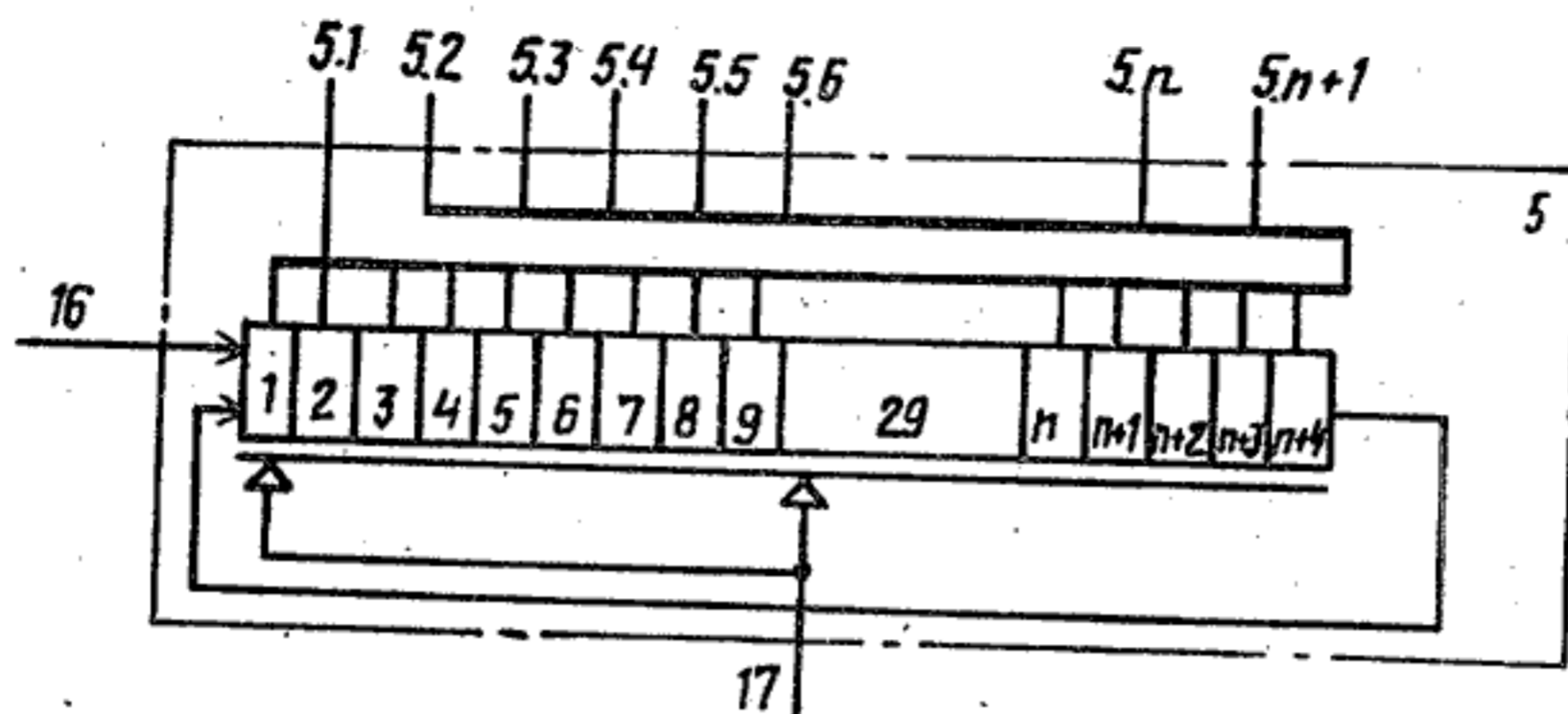
Устройство для деления кодов "золотой" пропорции, содержащее регистры делимого и делителя, блок управления, причем первый выход блока управления соединен с входом разрешения записи регистра делимого, тактовый вход блока управления соединен с входом синхронизации устройства, установочный вход блока управления соединен с входом начальной установки устройства, отличающееся тем, что, с целью повышения производительности за счет возможности одновременного выполнения операции деления над несколькими парами операндов, в него введены регистр сдвига делимого, регистр сдвига делителя, и n блоков определения значений разрядов частного (где n - разрядность операндов), каждый из которых содержит вычитатель последовательных кодов "золотой" пропорции, первый и второй информационные входы которого соединены соответственно с информационными входами первого и второго узлов задержки, первым и вторым вхо-

дами элемента ИЛИ и являются первым и вторым информационными входами блока определения значений разрядов частного, синхровход которого соединен с тактовыми входами его первого, второго и третьего узлов задержки и вычитателя, установочный вход блока определения значений разрядов частного соединен с установочными входами его первого, второго и третьего узлов задержки, вычитателя и триггера, тактовый вход которого соединен с выходом третьего узла задержки, информационный вход которого соединен с выходом элемента ИЛИ, выход первого узла задержки соединен с первым входом коммутатора, второй вход которого соединен с информационным выходом вычитателя, знаковый выход которого соединен с информационным входом триггера, инверсный выход которого соединен с управляющим входом коммутатора, выход которого соединен с первым выходом блока определения значений разрядов частного, второй выход которого соединен с выходом второго узла задержки, а третий выход блока определения значений разрядов частного соединен с инверсным выходом его триггера, причем вход синхро-

низации устройства соединен с тактовыми входами регистров сдвига делимого и делителя и с синхровходами n блоков определения значений разрядов частного, установочные входы которых соединены соответственно с выходами блока управления с второго по $(n+1)$ -й, первый выход которого соединен с входом разрешения записи регистра делителя, а второй выход блока управления соединен с установочными входами регистров сдвига делимого и делителя, информационные входы которых соединены соответственно с разрядными выходами регистров делимого и делителя, первый и второй информационные входы i -го блока определения значений разрядов частного соединены соответственно с первым и вторым выходами $(i-1)$ -го блока определения значений разрядов частного (где $i=2, \dots, n$), первый и второй информационные входы первого блока определения значений разрядов частного соединены соответственно с выходами регистров сдвига делимого и делителя, третьи выходы n блоков определения значений разрядов частного являются разрядными выходами устройства.



Фиг. 2



Фиг. 3

Редактор Н.Рогоulich Составитель В.Гусев
 Техред А.Кравчук Корректор А.Обручар

Заказ 6291/48 Тираж 671 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4