



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

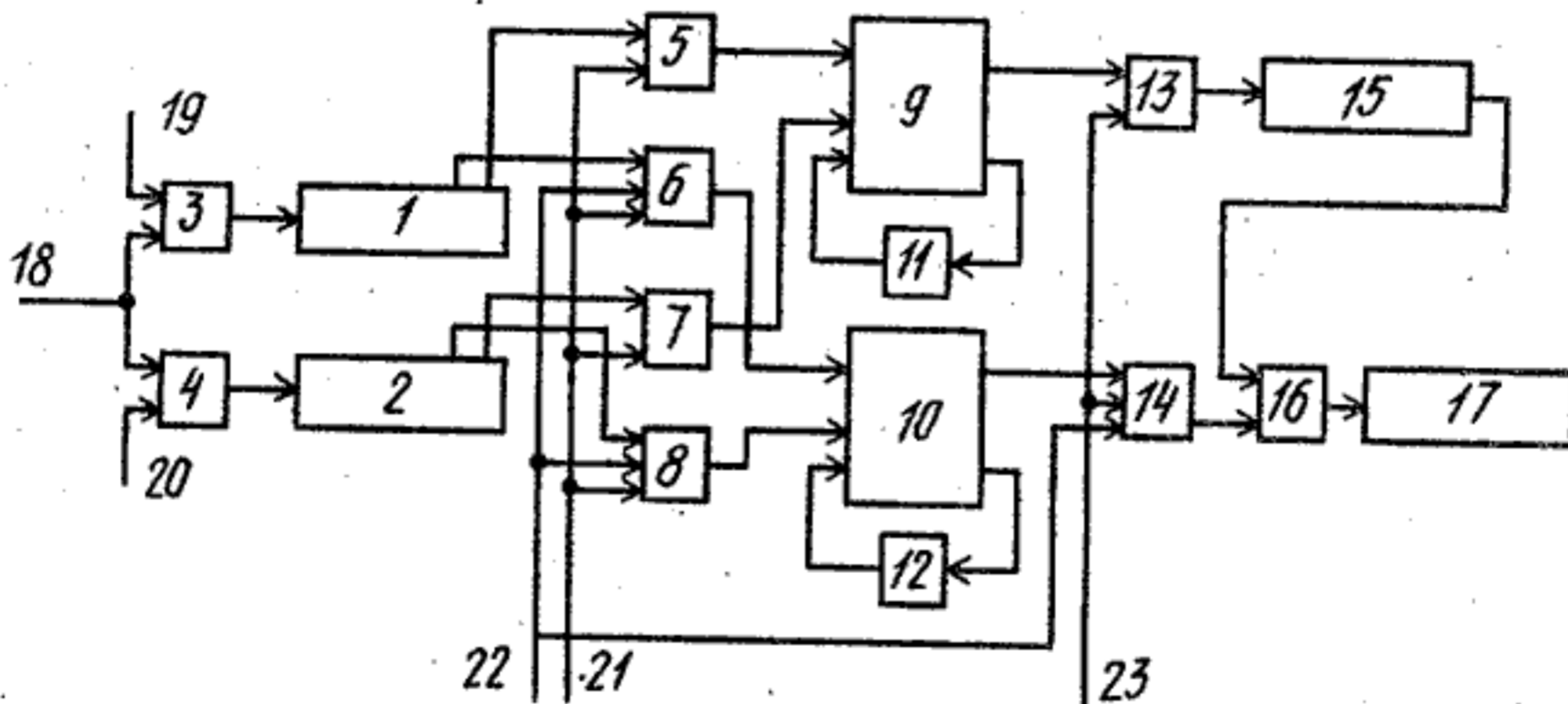
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4181877/24-24
- (22) 12.01.87
- (46) 23.07.88, Бюл. № 27
- (71) Винницкий политехнический институт
- (72) А.П.Стахов, Н.А.Квитка, В.А.Лужецкий и Г.И.Гаврилюк
- (53) 681.325.5(088.8)
- (56) Авторское свидетельство СССР № 1149248, кл. G 06 F 7/50, 1985.

Справочник по цифровой вычислительной технике./Под ред. В.Н.Малиновского. Киев: Техника, 1974, с.192, рис.4.30 в.

- (54) ПОСЛЕДОВАТЕЛЬНЫЙ СУММАТОР
- (57) Изобретение относится к вычислительной технике и может быть использовано в вычислительных процессорах

для обработки графической информации, а также при создании специализированных "векторных" вычислительных машин. Целью изобретения является расширение функциональных возможностей за счет сложения чисел в кодах с иррациональным основанием $\sqrt{2}$. Последовательный сумматор содержит регистры сдвига 1 и 2, элементы И 3-8, одноразрядные комбинационные сумматоры 9 и 10, элементы задержки 11 и 12, элементы И 13 и 14, регистр сдвига 15, элемент ИЛИ 16 и регистр сдвига 17. Сумматор имеет вход 18 разрешения приема операндов, вход 19 приема первого операнда и вход 20 приема второго операнда, вход 21 разрешения выдачи операндов, вход 22 режимов работы и вход 23 разрешения записи суммы. 1 ил., 2 табл.



Изобретение относится к вычислительной технике и может быть использовано в процессорах вычислительных машин для обработки графической информации, а также при создании специализированных векторных вычислительных машин.

Цель изобретения - расширение функциональных возможностей за счет сложения чисел в кодах с иррациональным основанием $\sqrt{2}$.

На чертеже представлена структурная схема последовательного сумматора.

Последовательный сумматор содержит регистры 1 и 2 сдвига, элементы И 3-8, одноразрядные комбинационные сумматоры 9 и 10, элементы И 11 и 12, задержки, элементы И 13 и 14, регистр 15 сдвига, элемент ИЛИ 16, регистр 17 сдвига, вход 18 разрешения приема операндов сумматора, вход 19 приема первого операнда, вход 20 приема второго операнда, вход 21 разрешения выдачи операндов, вход 22 режимов работы и вход 23 разрешения записи суммы.

Последовательный сумматор последовательного действия, кроме сложения чисел в двоичном коде, предназначен для суммирования положительных многоразрядных чисел (векторов), представленных в двоично-кодированной позиционной системе счисления с основанием $\sqrt{2}$. В данной системе счисления слагаемые числа А и В изображаются следующим образом:

$$A = a_{n-1} (\sqrt{2})^{n-1} + a_{n-2} (\sqrt{2})^{n-2} + \dots + a_2 (\sqrt{2})^2 + a_1 (\sqrt{2})^1 + a_0 (\sqrt{2})^0; \quad (1)$$

$$B = b_{n-1} (\sqrt{2})^{n-1} + b_{n-2} (\sqrt{2})^{n-2} + \dots + b_2 (\sqrt{2})^2 + b_1 (\sqrt{2})^1 + b_0 (\sqrt{2})^0. \quad (2)$$

Веса разрядов кода с основанием $\sqrt{2}$ составляют последовательность степеней основания

$$\dots 16\sqrt{2}, 16, 8\sqrt{2}, 8, 4\sqrt{2}, 4, 2\sqrt{2}, 2, \sqrt{2}, 1. \quad (3)$$

Из выражения (3) следует, что четные степени являются весами разрядов двоичного кода, а нечетные - весами двоичного кода, умноженными на $\sqrt{2}$. С учетом этого слагаемый (1) и (2) можно записать:

$$A = \sqrt{2} \sum_{j=1}^{n-1} a_j 2^{\frac{j-1}{2}} + \sum_{i=0}^{n-2} a_i 2^{i/2}; \quad (4)$$

$$B = \sqrt{2} \sum_{j=1}^{n-1} b_j 2^{\frac{j-1}{2}} + \sum_{i=0}^{n-2} b_i 2^{i/2}, \quad (5)$$

где $a_j, a_i, b_j, b_i \in \{0, 1\}$ и являются цифрами двоично-кодированной системы счисления с основанием $\sqrt{2}$; i, j для n -разрядных чисел принимают значения

$$j \in \{1, 3, 5, \dots, n-1\}; i \in \{0, 2, 4, \dots, n-2\}$$

Первые члены формул (4) и (5) составляют суммы нечетных разрядов кода, а вторые члены - суммы четных разрядов кода с основанием $\sqrt{2}$. Несмотря на то, что члены выражений (4) и (5) объединены общим основанием, они независимы один от другого, а это позволяет осуществить одновременную независимую параллельную техническую реализацию операции сложения четных и нечетных разрядов операндов, представленных в кодах с основанием $\sqrt{2}$, и, таким образом, увеличить быстродействие сумматора.

В основу работы последовательного сумматора положено сложение двух младших (первого и второго) одноименных разрядов в двоичной системе счисления с иррациональным основанием $\sqrt{2}$, которое выполняется согласно табл. 1 и 2.

Т а б л и ц а 1

a_0	b_0	Π_{11}	S_{11}
0	0		0
0	1		1
1	0		1
1	1	1 0	0

Т а б л и ц а 2

a_1	b_1	Π_{21}	S_{21}
0	0		0
0	1		1
1	0		1
1	1	1 0	0

Сложение одноименных младших разрядов происходит одновременно и для четных разрядов осуществляется по табл.1- а для нечетных - по табл.2.

Регистры 1 и 2 сдвига являются n -разрядными и предназначены для записи и хранения операндов, поступающих из запоминающего устройства по очереди по шине 18 младшими разрядами вперед. Разрядность регистров 15 и 17 сдвига равна $n/2+1$, причем в случае суммирования чисел кода с основанием $\sqrt{2}$ регистр 15 сдвига применяется для хранения четных разрядов суммы, а регистр 17 - для хранения нечетных разрядов суммы. В режиме сложения двоичных n -разрядных кодов результат суммирования хранится в последовательно включенных регистрах 15 и 17 сдвига, общая разрядность которых равна $n+2$.

Последовательный сумматор в режиме сложения чисел в коде с иррациональным основанием $\sqrt{2}$ работает следующим образом.

Для приема первого слагаемого А, поступающего по шине 18 поступления операндов и приложенного к первому входу элемента И 3, к второму входу его по входу 19 прилагают сигнал разрешения записи длительностью n тактов (n - разрядность кода с иррациональным основанием), и код первого операнда младшими разрядами вперед поступает в регистр 1 сдвига. Вслед за операндом А аналогичным образом, но при наличии кода второго операнда В на входе 18 и разрешающего сигнала на входе 20 через элемент И 4 записывается второе слагаемое в регистр 2 сдвига также младшими разрядами вперед. Вследствие этого в первых разрядах регистров 1 и 2 сдвига записана информация, соответствующая младшим разрядам вторых членов выражений (4) и (5), для представления операндов А и В в коде с иррациональным основанием $\sqrt{2}$, а во вторых разрядах регистров 1 и 2 сдвига зафиксирована информация младших разрядов первых членов формул (4) и (5) представления операндов. Сложение первых и вторых разрядов регистров 1 и 2 сдвига происходит параллельно и начинается в момент появления сигналов на входах 21 и 22, вследствие чего информация первых и вторых разрядов

операндов А и В, пройдя через элементы И 5 и 7, а также элементы И 6 и 8 поступает на первый и второй входы одноразрядных сумматоров 9 и 10.

Если на первом и втором входах сумматоров 9 и 10 присутствуют "0" "1" или "1", "0", то на первых выходах (суммы) сумматоров появляются единичные сигналы, которые при наличии разрешающего сигнала на входе 23 проходят через элементы И 13 и 14 и записываются в регистры 15 и 17 сдвига для хранения результата суммирования. На вторых выходах переноса сумматоров 9 и 10 при этом имеются нулевые сигналы. В том случае, когда на первом и втором входах сумматоров 9 и 10 имеются "1", "1", на их вторых выходах переноса появляются единичные сигналы, которые задерживаются элементами И 11 и 12 задержки на время поступления в первый и второй разряды регистров 1 и 2 сдвига информации третьего и четвертого разрядов операндов А и В. Смена содержимого первого и второго разрядов регистров 1 и 2 сдвига осуществляется путем сдвига на два разряда вправо операндов А и В вследствие приложения тактовых импульсов.

На втором такте суммирования осуществляется сложение одноименных (третьего и четвертого) разрядов операндов А и В, информация о которых поступает на первый и второй входы одноразрядных сумматоров 9 и 10 при наличии сигналов на входах 21 и 22 соответственно разрешения выдачи операндов и режимов работы. Однако в отличие от первого такта в данном случае на третьих входах сумматоров 9 и 10 могут присутствовать единичные сигналы переноса, и тогда присутствие единичных сигналов на трех входах сумматоров 9 и 10 вызывает появление единичных сигналов как на первых выходах (суммы), так и на вторых выходах (переноса). При этом выходные сигналы первых выходов как вторые разряды результатов суммы четных и нечетных разрядов записываются в регистры 15 и 17 сдвига при наличии разрешающего сигнала на входе 23, а сигналы переноса задерживаются элементами И 11 и 12 задержки и принимают участие в работе одноразрядных сумматоров 9 и 10 в третьем такте сум-

мирования, когда в первом и втором разрядах регистров 1 и 2 сдвига находится информация о пятом и шестом разрядах операндов А и В.

Процесс суммирования в последующих тактах аналогичен рассмотренному. Исключение составляет последний такт, в котором единичный сигнал присутствует только на третьем входе сумматоров 9 и 10, что обусловлено сигналом переноса. Для сложения двух n -разрядных (n четное) кодов с иррациональным основанием 2 необходимо произвести $n/2$ сдвигов чисел А и В и выполнить $\frac{n}{2}+1$ тактов суммирования (1-й такт суммирования выполняется без сдвига). При сложении n -разрядных операндов А и В, представленных двоичным кодом, в работе участвуют элементы И 3 - 5, 7 и 13, регистры 1, 2, 15 и 17 сдвига, одноразрядный сумматор 9, элемент 11 задержки и элемент ИЛИ 16. В данном режиме сигнал на входе 22 отсутствует. Суммирование осуществляется, как и в рассмотренном ранее случае, по тактам. Но операнды А и В сдвигаются на один разряд вправо и для полного суммирования чисел необходимо выполнить n сдвигов регистров 1 и 2 и $n+1$ такт суммирования.

Операнды А и В записываются последовательно младшими разрядами вперед в регистры 1 и 2 сдвига, а результат сложения чисел фиксируется в последовательно соединенных через элемент ИЛИ 16 регистрах 15 и 17 сдвига и также поступает младшими разрядами вперед. Вследствие того, что общая сумма разрядов регистров 15 и 17 равна $n+2$, то для расположения младшего разряда результата в первом разряде регистра 17 сдвига следует произвести сдвиг информации записанной в регистрах 15 и 17, на один разряд вправо.

Ф о р м у л а и з о б р е т е н и я

Последовательный сумматор, содержащий с первого по пятый элементы И, первый одноразрядный сумматор, первый элемент задержки, первый, второй и третий регистры сдвига, входы первого и второго регистров сдвига соединены с выходами первого и второго

элементов И, соответственно, первые входы которых объединены и подсоединены к входу разрешения приема операндов сумматора, а их вторые входы связаны соответственно с входами приема первого и второго операндов, к первым выходам первого и второго регистров сдвига подключены первые входы третьего и четвертого элементов И соответственно, вторые входы которых соединены с входом разрешения выдачи операндов сумматора, а выходы третьего и четвертого элементов И подсоединены соответственно к первому и второму входам первого одноразрядного сумматора, с входом переноса которого через первый элемент задержки связан выход переноса первого сумматора, а его выход суммы подключен к первому входу пятого элемента И, второй вход которого соединен с входом разрешения записи суммы, вход третьего регистра сдвига соединен с выходом пятого элемента И, о т л и ч а ю щ и й с я тем, что, с целью расширения функциональных возможностей за счет сложения чисел в кодах с иррациональным основанием 2, в него введены четвертый регистр, шестой, седьмой и восьмой элементы И, элемент ИЛИ, второй элемент задержки и второй одноразрядный сумматор, первый и второй входы которого подсоединены соответственно к выходам шестого и седьмого элементов И, первые входы которых соединены с вторыми выходами первого и второго регистров сдвига соответственно, вторые входы шестого и седьмого элементов И подсоединены к входу разрешения выдачи операндов сумматора, а их третьи входы и третий вход восьмого элемента И связаны с входом режимов работы сумматора, первый и второй входы восьмого элемента И подключены соответственно к входу записи суммы сумматора и выходу суммы второго одноразрядного сумматора, выход переноса которого через второй элемент задержки подсоединен к входу переноса второго одноразрядного сумматора, а выход восьмого элемента И через элемент ИЛИ соединен с входом четвертого регистра сдвига, к которому через элемент ИЛИ подсоединен также выход третьего регистра сдвига.