



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

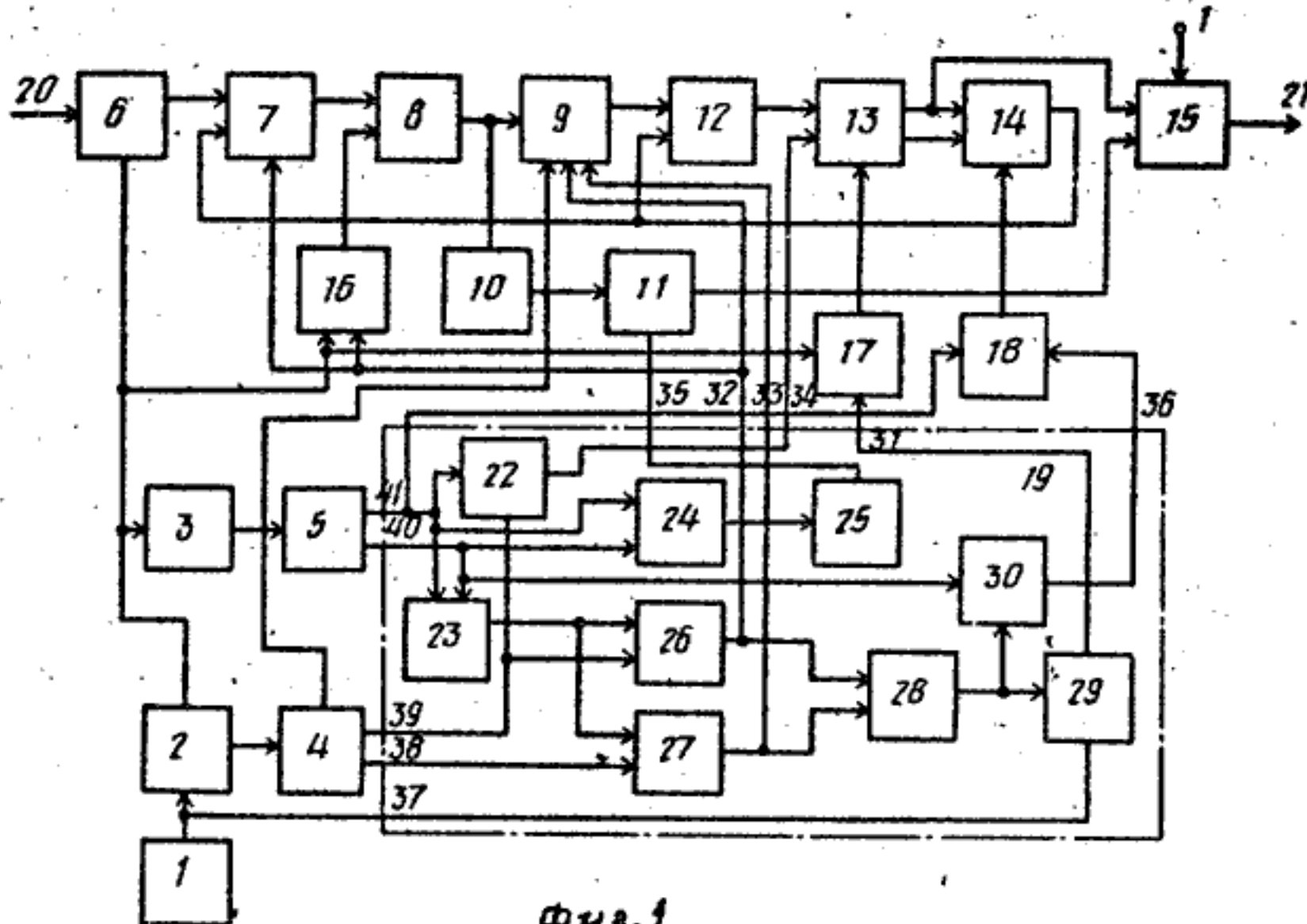
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4120653/24-24  
(22) 23.06.86  
(46) 15.08.88. Бюл. № 30  
(71) Винницкий политехнический институт  
(72) А.П.Стахов, В.А.Лужецкий,  
П.В.Козлюк и В.Г.Ваховский  
(53) 681.32(088.8)  
(56) Авторское свидетельство СССР  
№ 1116485, кл. G 06 F 15/332, 1984.  
Авторское свидетельство СССР  
№ 1124326, кл. G 06 F 15/332, 1984.

(54) АНАЛИЗАТОР СПЕКТРА В ОРТОГОНАЛЬНОМ БАЗИСЕ

(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в системах переда-

чи и обработки информации, при построении анализаторов и синтезаторов сигналов. Цель изобретения - повышение быстродействия. Поставленная цель достигается за счет того, что в состав анализатора входят генератор тактовых импульсов 1, счетчики 2, 3, дешифраторы 4, 5, аналого-цифровой преобразователь 6, коммутатор 7, регистр 8, коммутатор 9, блок элементов НЕ 10, блок элементов И 11, сумматор 12, регистр 13, коммутатор 14, сумматор 15, элементы ИЛИ 16, 17, 18, логический блок 19, информационный вход 20 анализатора, вывод 21 анализатора, логический блок содержит элемент И 22, элементы ИЛИ 23, 24, 28, элементы И 25, 26, 27, 29, 30. 2 ил.



фиг. 1

(19) **SU** (11) **1416982** **A1**

Изобретение относится к автоматике и вычислительной технике и может быть использовано в системах передачи и обработки информации, а также при построении анализаторов и синтезаторов сигналов.

Цель изобретения - повышение быстродействия устройства.

На фиг.1 показана структурная схема предлагаемого устройства; на фиг.2 - блок-схема алгоритма работы устройства при вычислении 5-точечного дискретного преобразования в ортогональном  $\alpha$ -базисе.

Цифровой анализатор спектра в ортогональном базисе (фиг.1) содержит генератор 1 тактовых импульсов, счетчик 2 (частоты), счетчик 3 размерности преобразования, дешифраторы 4 и 5, аналого-цифровой преобразователь (АЦП) 6, коммутатор 7, регистр 8, коммутатор 9, блок 10 элементов НЕ, блок 11 элементов И, сумматор 12, регистр 13, коммутатор 14, сумматор 15, элементы ИЛИ 16-18, логический блок 19, информационный вход 20 устройства, выход 21 устройства.

Логический блок образуют элемент И 22, элементы ИЛИ 23 и 24, элементы И 25-27, элемент ИЛИ 28, элементы И 29 и 30. На фиг.1 обозначены также выходы 31-36 логического блока и входы 37-41 логического блока.

Анализатор спектра реализует преобразование размерности  $N$  в ортогональном  $\alpha$ -базисе, для которого  $j$ -й отсчет  $i$ -й базисной последовательности определяется как

$$l_{ij}(j) = \begin{cases} g_i \cdot \sqrt{\alpha} \cdot \alpha^{-i+1}, & j=1, 1 \leq i \leq N \\ g_i \cdot \alpha^{j-i}, & 2 \leq j \leq i \\ -g_i, & j=i+1 \\ 0, & i+1 \leq j \leq N \end{cases} \quad (1)$$

где  $\alpha = \frac{1+\sqrt{5}}{2}$  - основание системы счисления, порождающее код золотой пропорции и обладающее свойством  $\alpha^i = \alpha^{i-1} + \alpha^{i-2} = \alpha^{i-1} \cdot \alpha$ ,

$g_i$  - коэффициент нормировки,

$$g_i = \begin{cases} \alpha^{-1}, & i < N \\ \alpha^{-1} \cdot \sqrt{\alpha}, & i = N. \end{cases} \quad (2)$$

Корреляционные и спектральные свойства  $\alpha$ -базиса аналогичны свойствам известного ортогонального базиса, базисные последовательности ко-

торого определяются через числа Фибоначчи.

Реализация преобразования в  $\alpha$ -базисе на устройстве, функционирующем в коде золотой пропорции, позволяет заменить умножение на степень числа  $\alpha$  операцией сдвига. Кроме того, реализация быстрого алгоритма преобразования позволяет избежать умножения на степень числа  $\alpha$  высокого порядка, что снимает ограничения на размерность преобразования, связанные с разрядностью представления элементов матрицы преобразования.

Алгоритм работы устройства рассмотрен на примере преобразования размерности  $N=5$ . С учетом (1) и (2) строки матрицы прямого преобразования имеют вид

$$\begin{aligned} l_1(j) &= \alpha^{-1} (\sqrt{\alpha} - 1 \quad 0 \quad 0 \quad 0) \\ l_2(j) &= \alpha^{-1} (\sqrt{\alpha} \cdot \alpha^{-1} \quad 1 \quad -1 \quad 0 \quad 0) \\ l_3(j) &= \alpha^{-1} (\sqrt{\alpha} \cdot \alpha^{-2} \quad \alpha^{-1} \quad 1 \quad -1 \quad 0) \\ l_4(j) &= \alpha^{-1} (\sqrt{\alpha} \cdot \alpha^{-3} \quad \alpha^{-2} \quad \alpha^{-1} \quad 1 \quad -1) \\ l_5(j) &= \alpha^{-1} \sqrt{\alpha} (\sqrt{\alpha} \cdot \alpha^{-4} \quad \alpha^{-3} \quad \alpha^{-2} \quad \alpha^{-1} \quad 1) \end{aligned}$$

На графе 5-точечного быстрого преобразования (фиг.2) точками обозначены сумматоры, числа над стрелками означают умножение на эти величины,  $X_i(t)$ ,  $Y_j(t)$  - соответственно входные и выходные отсчеты преобразования ( $i=1,5$ ). Вычисление выходных отсчетов имеет рекуррентный характер и определяется парой преобразований

$$\begin{aligned} Y_i(t) &= (S_i(t) - X_{i+1}(t)) \alpha^{-1}; \\ S_{i+1}(t) &= S_i(t) \alpha^{-1} + X_{i+1}(t); \\ S_1(t) &= X_1(t) \sqrt{\alpha}, \quad i = \overline{1, N-1}; \\ Y_N(t) &= S_N(t) \cdot \sqrt{\alpha} \cdot \alpha^{-1}. \end{aligned}$$

Содержимое сумматора 15 подается на выход 20 устройства со сдвигом на один разряд вправо, т.е. умноженное на  $\alpha^{-1}$ . С помощью коммутатора 14 к второму входу сумматора 12 подключается выход регистра 13 (без сдвига) при вычислении первого  $Y_1(t)$  и  $N$ -го  $Y_N(t)$  спектральных коэффициентов или выход регистра 13 (сдвинутый на один разряд вправо) при вычислении остальных спектральных коэффициентов  $Y_i(t)$  ( $i=2, N-1$ ). При этом на управляющий вход коммутатора 14 с выхода элемента ИЛИ 18 поступает соответственно уровень логической единицы или уровень логического нуля. Коммутатор 9 кода производит сдвиг выхода регистра 8, поступающего на вход сумматора 12, на 0,3 или 7 разрядов вправо при умножении на коэффициент

$\sqrt{\alpha}$  первого входного отсчета  $X_1(t)$  и  $N$ -й промежуточной суммы. С помощью коммутатора 7 к входу регистра 8 подключается выход АЦП 6 для занесения кодов входных отсчетов или выход коммутатора 14 при выполнении умножения на коэффициент  $\sqrt{\alpha}$ .

Счетчик 2 служит для деления тактовой частоты генератора 1 на три. Дешифратор 4 по значениям счетных выходов счетчика 2 устанавливает уровень логической единицы на одном из своих выходов, по значению которых логический блок 19 вырабатывает сигналы на выходах 32 и 33 для управления коммутатором 9, переключением коммутатора 7 и записью в регистр 8, а с выхода 31 - записью в регистр 13. Эти управляющие сигналы стробируются в логическом блоке выходами дешифратора 5, на которых уровень логической единицы появляется при поступлении соответственно первого  $X_1(t)$  и последнего  $X_N(t)$  отсчетов входного вектора преобразователя, т.е. когда производится умножение на коэффициент  $\sqrt{\alpha}$ . По единичным значениям входов 40 и 41 логический блок 19 выходом 35 закрывает блок 11 элементов И, так как при вычислении спектральных коэффициентов  $Y_1(t)$  и  $Y_N(t)$  необходимо исключить операцию вычитания.

Уровень логической единицы на выходах дешифратора 4 появляется при значениях выхода счетчика 2, равных соответственно 1, 2 и 3.

По единичным значениям первых выходов дешифраторов 4 и 5 логический блок 19 выходом 34 сбрасывает в нуль регистр 13 перед умножением входного отсчета  $X_1(t)$  на коэффициент  $\sqrt{\alpha}$ .

Счетчик 3 производит счет по модулю  $N$ .

Таким образом, при считывании с выхода АЦП 6 кода первого отсчета  $X_1(t)$  входного вектора  $\vec{X}(t)$  в регистр 8 происходит суммирование его с нулем на сумматоре 12. Затем при поступлении второго тактового импульса с генератора 1 происходит запись суммы в регистр 13, перепись ее в регистр 8, сложение сдвинутого на три разряда вправо содержимого регистра 8 и содержимого регистра 13 на сумматоре 12, т.е. вычисление суммы  $X_1(t) + X_1(t) \cdot \alpha^{-3}$ . При поступлении третьего тактового импульса с генератора 1 происходит запись этой суммы в ре-

гистр 13 и сложение ее со сдвинутым на семь разрядов содержимым регистра 8, т.е. вычисляется сумма  $(X_1(t) + X_1(t) \cdot \alpha^{-3}) + X_1(t) \alpha^{-7}$ , что соответствует умножению  $X_1(t)$  на коэффициент  $\sqrt{\alpha}$ . При поступлении четвертого тактового импульса значение  $X_1 \sqrt{\alpha}$  записывается в регистр 13. Одновременно поступающий с выхода счетчика 2 импульс изменяет состояние счетчика 3, происходит запись в регистр 8 кода входного отсчета  $X_2(t)$ . Нулевой уровень сигнала на выходе дешифратора 5 через элемент ИЛИ 18 подключает к выходу коммутатора 15 сдвинутое на один разряд вправо содержимое регистра 13. По нулевым значениям выходов дешифратора 5 логический блок 19 выходом 35 открывает блок 11 элементов И, и на вход сумматора 15 поступает обратный код входного отсчета  $X_2(t)$ . На выходе 21 сумматора 15 появляется значение первого выходного отсчета  $Y_1(t) = (X_1(t) \sqrt{\alpha} - X_2(t)) \alpha^{-1}$ , а на выходе сумматора 12 - значение промежуточной суммы  $S_2(t) = X_2(t) + X_1(t) \cdot \sqrt{\alpha} \cdot \alpha^{-1}$ . До появления следующего тактового импульса на втором выходе счетчика 2 состояние устройства не изменяется.

После записи кода входного отсчета  $X_3(t)$  в регистр 8 на выходе 21 сумматора 15 появляется значение второго выходного отсчета  $Y_2(t) = (S_2(t) - X_3(t)) \alpha^{-1}$ , а на выходе сумматора 12 - значение третьей промежуточной суммы  $S_3(t) = S_2(t) \cdot \alpha^{-1} + X_3(t)$ . После вычисления  $(N-1)$ -го выходного отсчета  $Y_{N-1}(t) = (S_{N-1}(t) - X_N(t)) \alpha^{-1}$  начинается умножение промежуточной суммы  $S_{N-1}(t)$  на коэффициент  $\sqrt{\alpha}$ . При этом по единичному сигналу на выходе дешифратора 5 логический блок 19 на выходе 32 вырабатывает управляющие сигналы для записи сдвинутой промежуточной суммы  $S_N(t) \cdot \alpha^{-1}$  в регистр 8 и сдвига его содержимого на три разряда вправо в коммутаторе 9. Затем по единичным значениям выхода дешифратора 5 и выхода дешифратора 4 логический блок 19 единичным сигналом с выхода 36 подключает к выходу коммутатора 14 выход регистра 13 для получения в сумматоре 12 суммы  $(S_N(t)) \times \alpha^{-7} + (S_N(t) \cdot \alpha^{-3} + S_N(t))$ . По следующему тактовому сигналу с выхода генератора 1 происходит запись кода входного отсчета  $X_1(t+1)$  в регистр 8,

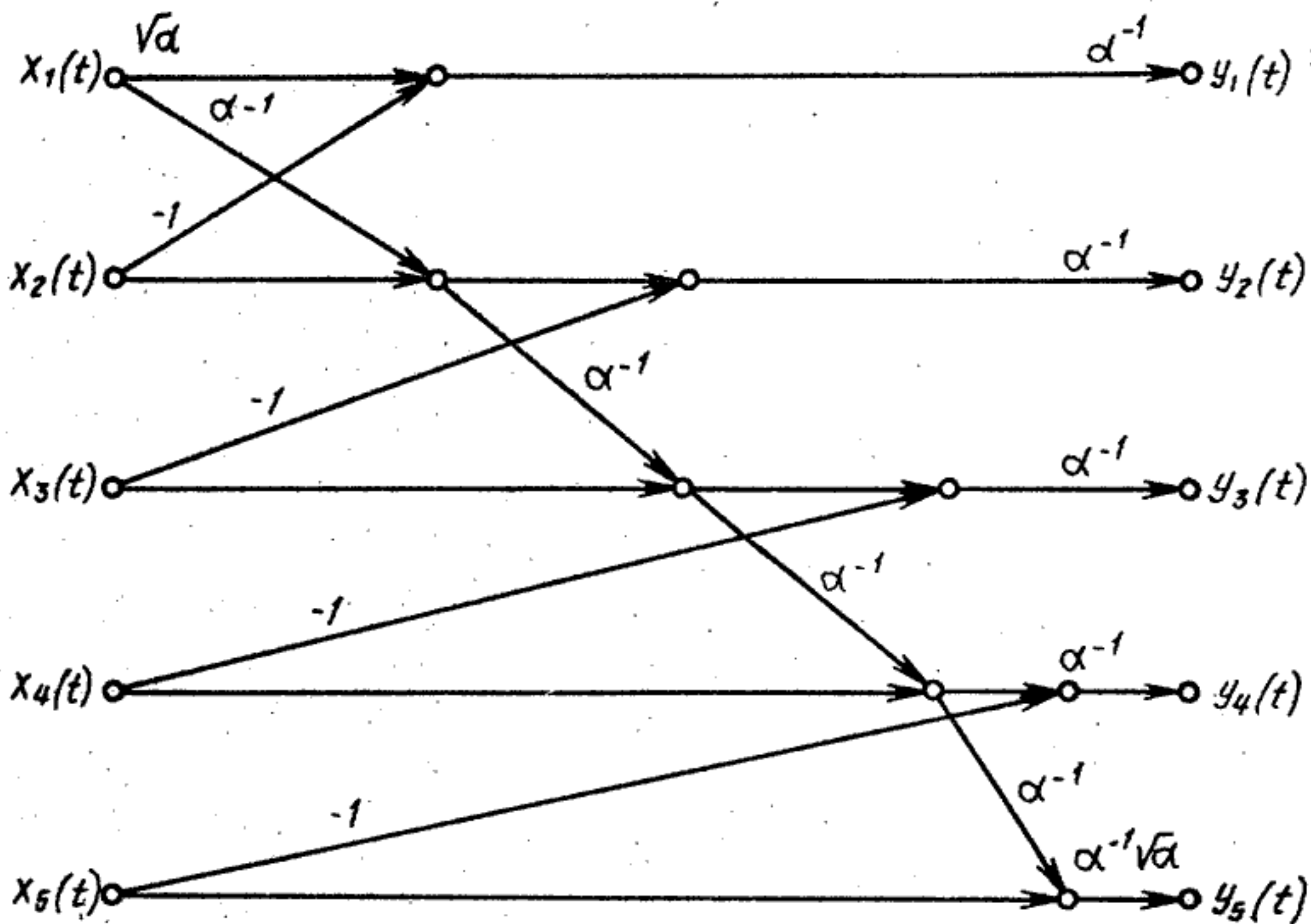


считывание выходного отсчета  $Y_N(t) = (S_N(t) \cdot \sqrt{\alpha}) \alpha^{-1}$  с выхода 21 устройства, начинается вычисление отсчетов выходного вектора  $\vec{Y}(t+1)$  аналогично описанному алгоритму вычисления выходного вектора  $\vec{Y}(t)$ .

#### Ф о р м у л а и з о б р е т е н и я

Анализатор спектра в ортогональном базисе, содержащий блок элементов НЕ, блок элементов И, аналого-цифровой преобразователь, информационный вход которого является информационным входом анализатора, первый и второй регистры, первый и второй сумматоры, генератор тактовых импульсов, выход которого подключен к счетному входу первого счетчика, а вход переноса второго сумматора является входом логической единицы анализатора, отличаясь от него тем, что, с целью повышения быстродействия, в него введены первый, второй и третий коммутаторы, первый и второй дешифраторы, второй счетчик, шесть элементов ИЛИ, пять элементов И, элемент НЕ, выход которого подключен к первому входу блока элементов И, выход которого подключен к первому входу второго сумматора, выход которого является выходом анализатора, выход переноса первого счетчика подключен к счетному входу второго счетчика, первым входам первого и второго элементов ИЛИ и тактовому входу аналого-цифрового преобразователя, выход которого подключен к первому информационному входу первого коммутатора, выход которого подключен к информационному входу первого регистра, выход которого подключен к входу блока элементов НЕ и информационному входу второго коммутатора, выход которого подключен к первому входу первого сумматора, выход которого подключен к информационному входу второго регистра, выход которого подключен к второму входу второго сумматора и информационному входу третьего коммутатора, выход которого подключен к второму входу первого сумматора и второму информацион-

ному входу первого коммутатора, информационный выход первого счетчика подключен к входу первого дешифратора, первый выход которого подключен к первому управляющему входу второго коммутатора, второй выход первого дешифратора подключен к первым входам первого и второго элементов И, третий выход первого дешифратора подключен к первому входу третьего элемента И, выход которого подключен к второму управляющему входу второго коммутатора и первому входу третьего элемента ИЛИ, выход которого подключен к первым входам четвертого и пятого элементов И, выходы которых подключены соответственно к первому входу четвертого элемента ИЛИ и второму входу второго элемента ИЛИ, выход которого подключен к входу разрешения считывания второго регистра, информационный выход второго счетчика подключен к входу второго дешифратора, первый выход которого подключен к второму входу четвертого элемента ИЛИ, второму входу первого элемента И, первому входу пятого элемента ИЛИ и первому входу шестого элемента ИЛИ, выход которого подключен к входу элемента НЕ, второй выход второго дешифратора подключен к второму входу шестого элемента ИЛИ, второму входу четвертого элемента И и второму входу пятого элемента ИЛИ, выход которого подключен к вторым входам второго и третьего элементов И, выход второго элемента И подключен к второму входу третьего элемента ИЛИ, третьему управляющему входу второго коммутатора, управляющему входу первого коммутатора и второму входу первого элемента ИЛИ, выход которого подключен к установочному входу первого регистра, выход первого элемента И подключен к тактовому входу второго регистра, выход блока элементов НЕ подключен к второму входу блока элементов И, выход генератора тактовых импульсов подключен к второму входу пятого элемента И, а выход четвертого элемента ИЛИ подключен к управляющему входу третьего коммутатора.



Фиг. 2

Редактор А.Огар

Составитель А.Баранов  
Техред Л.Олийнык

Корректор С.Шекмар

Заказ 4065/46

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4