

Союз Советских  
Социалистических  
Республик



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е И З О Б Р Е Т Е Н И Я

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 696452

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 17.08.77 (21) 2517294/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 05.11.79. Бюллетень № 41

Дата опубликования описания 09.11.79

(51) М. Кл.<sup>2</sup>

G 06 F 7/50

(53) УДК 681.325.  
.5(088.8)

(72) Авторы  
изобретения

А. П. Стахов, А. В. Оводенко и В. А. Лужецкий

(71) Заявитель

Таганрогский радиотехнический институт им. В. Д. Калмыкова

### (54) ПОСЛЕДОВАТЕЛЬНЫЙ СУММАТОР

Изобретение относится к области вычислительной техники и предназначено для суммирования многоразрядных двоичных последовательных кодов.

Известны последовательные сумматоры многоразрядных двоичных кодов, содержащие регистры, одноразрядный сумматор и элемент задержки [1].

Из известных последовательных сумматоров наиболее близким по технической сущности к предложенному является последовательный сумматор, содержащий одноразрядный сумматор и элемент задержки, выход которого соединен с одним из входов одноразрядного сумматора, а два других входа одноразрядного сумматора являются входами слагаемых последовательного сумматора [2].

Однако в известных последовательных сумматорах невозможно суммировать многоразрядные последовательные 1-коды Фибоначчи и "золотые" 1-коды.

Цель изобретения - расширение функциональных возможностей заключающее-

ся в выполнении дополнительных операций сложения чисел в 1-коде Фибоначчи и в "золотом" 1-коде.

Цель достигается тем, что в последовательный сумматор, содержащий одноразрядный сумматор и элемент задержки, введены блок инвертирования и блок формирования дополнительных сигналов суммы и переноса, первый вход которого соединен с выходом суммы одноразрядного сумматора, выход переноса которого соединен со вторым входом блока формирования дополнительных сигналов суммы и переноса, третий вход блока формирования дополнительных сигналов суммы и переноса соединен с первым выходом блока инвертирования, второй выход которого является выходом суммы последовательного сумматора. Первый, второй и третий выходы блока формирования дополнительных сигналов суммы и переноса соединены соответственно с первым, вторым и третьим входами блока инвертирования. Четвертый выход блока формирования дополнительных

сигналов суммы и переноса соединен со входом элемента задержки. Четвертый вход блока формирования дополнительных сигналов суммы и переноса соединен с четвертым входом блока инвертирования и является управляющим входом последовательного сумматора.

Поставленная цель достигается также тем, что блок формирования дополнительных сигналов суммы и переноса содержит три элемента И, два элемента ИЛИ, два элемента НЕ и элемент задержки. Первый вход блока является первым входом первого элемента ИЛИ. Первый вход первого элемента И соединен с первыми входами второго и третьего элементов И и является вторым входом блока. Вторым входом первого элемента И соединен со входом первого элемента НЕ и является третьим входом блока. Третий вход первого элемента И соединен со входом второго элемента НЕ и со вторым входом третьего элемента И и является четвертым входом блока. Выход первого элемента НЕ соединен со вторым входом второго элемента И и третьим входом третьего элемента И. Выход второго элемента НЕ соединен с третьим входом второго элемента И, выход которого соединен с первым входом второго элемента ИЛИ. Выход первого элемента ИЛИ является первым выходом блока. Выход третьего элемента И соединен со входом элемента задержки и является вторым выходом блока. Выход первого элемента И соединен со вторым входом первого элемента ИЛИ и является третьим выходом блока, выход элемента задержки соединен со вторым входом второго элемента ИЛИ, выход которого является четвертым выходом блока.

Кроме того, поставленная цель достигается тем, что блок инвертирования содержит три элемента И, три элемента ИЛИ, три элемента НЕ и два элемента задержки. Первый вход первого логического элемента И соединен с первым входом второго элемента И и является первым входом блока инвертирования, вторым входом которого является первый вход первого элемента ИЛИ. Первый вход второго элемента ИЛИ соединен со входом первого элемента НЕ и является третьим входом блока инвертирования, четвертый вход которого является вторым входом второго элемента И. Выход первого элемента И соединен со входом первого элемента задержки, выход которого соединен со вторым входом первого элемента ИЛИ и является

ся первым выходом блока инвертирования. Выход первого элемента ИЛИ соединен с третьим входом второго элемента И и первым входом третьего элемента И, второй вход которого соединен с выходом первого элемента НЕ. Выход третьего элемента И соединен со входом второго элемента задержки, выход которого соединен со вторым входом второго элемента ИЛИ. Выход второго элемента ИЛИ соединен со входом второго элемента НЕ и первым входом третьего элемента ИЛИ, выход которого является вторым выходом блока инвертирования. Выход второго элемента НЕ соединен с четвертым входом второго элемента И, выход которого соединен со входом третьего элемента НЕ и вторым входом третьего элемента ИЛИ. Выход третьего элемента НЕ соединен со вторым входом первого элемента И и третьим входом третьего элемента И.

В "фибоначчиевой" 1-системе счисления любое натуральное число  $N$  представляется в виде многочлена

$$N = a_n \varphi_1(n) + a_{n-1} \varphi_1(n-1) + \dots + a_0 \varphi_1(0), \quad (1)$$

$$\text{где } \varphi_1(i) = \begin{cases} 0 & \text{при } i < 0; \\ 1 & \text{при } i = 0; \\ \varphi_1(i-1) + \varphi_1(i-2) & \text{при } i > 0; \end{cases} \quad (2)$$

$$a_i = 0; 1.$$

В "золотой" 1-системе счисления числа представляется следующим образом

$$N = a_n \alpha_1^n + a_{n-1} \alpha_1^{n-1} + \dots + a_0 \alpha_1^0 + a_{-1} \alpha_1^{-1} + \dots + a_{-n} \alpha_1^{-n},$$

где  $\alpha_1$  - основание системы счисления, являющееся действительным корнем уравнения,  $X^2 - X - 1 = 0$ .

Так как для  $\alpha_1$  выполняется равенство

$$\alpha_1^i = \alpha_1^{i-1} + \alpha_1^{i-2},$$

аналогичное равенству (2), то все, что будет сказано о "фибоначчиевой" 1-системе счисления будет справедливо и для "золотой" 1-системы счисления. Представление (1) называется минимальной формой представления при наличии не менее одного нуля после каждой единицы.

Сложение двух одноименных разрядов в двоичной "фибоначчиевой" системе счисления выполняется согласно следующим правилам  $0 + 0 = 0$ ;  $0 + 1 = 1$ ;  $1 + 0 = 1$ ;  $1 + 1 = 1001$ , что вытекает из рекуррентного соотношения (2)

$$\varphi(i) + \varphi(i) = \varphi(i) + \varphi(i-1) + \varphi(i-2) = \varphi(i+1) + \varphi(i-2).$$



Если в  $i$ -х разрядах минимальных форм представления слагаемых имеются единицы, то из свойства минимальной формы следует, что суммы  $(i+1)-X$  и  $(i-1)-X$  разрядов будут нулевые и, следовательно, единица переноса из  $i$ -го в  $(i+1)$  разряд может быть помещена в  $(i+1)$ -й разряд суммы, а перенос из  $i$ -го в  $(i-2)$ -й разряд надо запомнить. Сложение двух многоразрядных чисел начинается со старших разрядов и выполняется поразрядно последовательно во времени. Сложение со старших разрядов начинается в силу того, что перенос из  $i$ -го разряда в  $(i-2)$ -й может вызвать перенос из  $(i-2)$ -го разряда в  $(i-4)$ -й и т.д., т.е. распространение переносов идет в сторону младших разрядов. Перенос из  $i$ -го разряда в  $(i+1)$  разряд носит локальный характер, что вытекает из свойства минимальной формы представления кодов слагаемых. Процесс суммирования распадается на ряд операций. Каждая  $i$ -я операция заключается в сложении двух разрядов слагаемых и переноса из  $(i-2)$ -го старшего разряда с учетом значения суммы, полученной при выполнении предыдущей операции. При сложении двух чисел  $A = 10010$  и  $B = 10010$  в первом такте складываются пятые разряды, при этом сумма этих разрядов равняется нулю. Перенос вперед помещается в шестой разряд результата, а перенос назад запоминается на два такта. На втором такте складываются четвертые разряды, образующие сумму и перенос, равные нулю. В третьем такте складываются третьи разряды вместе с переносом, запомненным после сложения пятых разрядов. При этом сумма равняется единице, а перенос не возникает. Сложение цифр второго разряда в четвертом такте порождает перенос и нулевую сумму. При этом перенос вперед должен быть помещен в третий разряд результата, в который уже помещена единица, полученная на предыдущем, третьем такте, т.е. возникает необходимость совместной обработки цифр результата, полученных при суммировании на предыдущем и данном тактах. Результат суммирования в подобном случае может быть представлен в виде

$$\varphi(i+1) + \varphi(i) + \varphi(i) = \varphi(i+2) + \varphi(i),$$

что вытекает из рекуррентного соотношения (2). Следовательно, в четвертом такте образуется единичная сумма в четвер-

том и во втором разрядах результата, а в третьем — нулевая сумма. В пятом также сумма будет равна нулю. Таким образом, сумма  $A + B = 101010$ .

На чертеже изображена функциональная схема последовательного сумматора.

Сумматор содержит входы слагаемых 1 и 2 последовательного сумматора, одноразрядный сумматор 3, элемент задержки 4, блок формирования дополнительных сигналов суммы и переноса 5, блок инвертирования 6, в котором происходит запоминание сигналов суммы и переноса с целью замены двух рядом стоящих единиц в коде результата одной единицей согласно выражения (2) путем инвертирования этих разрядов, управляющий вход 7 последовательного сумматора и выход суммы 8 последовательного сумматора. Блок формирования дополнительных сигналов суммы и переноса, 5, содержит элемент И 9, на выходе которого формируется сигнал переноса в  $(i+2)$ -й разряд, элемент И 10, элемент И 11, который совместно с элементом задержки 12 и элементом ИЛИ 13 формирует сигнал переноса в  $(i-2)$ -й разряд, элемент ИЛИ 14, на выходе которого формируется сигнал суммы  $i$ -го разряда, элементы НЕ 15 и 16. Блок инвертирования 6 содержит элементы И 17-19, элементы задержки 20 и 21, элементы ИЛИ 22-24, элементы НЕ 25, 26, 27. Элементы задержки 20 и 21 осуществляют задержку сигналов поступающих на их вход на один такт работы последовательного сумматора. Элемент И 19 и элементы НЕ 25 и 26 выполняют функцию инвертирования, запрещая прохождение сигналов через элементы И 17 и 18 и посылая единичный сигнал на вход элемента ИЛИ 24. Для выполнения операции сложения чисел в 1-коде Фибоначчи необходимо подать единичный сигнал на управляющий вход 7 последовательного сумматора. При этом в блоке 5 будет разрешено прохождение сигналов по цепям, формирующим дополнительно сигналы суммы и переноса. Одновременно с этим будет разрешено инвертирование в блоке 6.

При сложении двух чисел, представленных в 1-коде Фибоначчи,  $A = 10010100$  и  $B = 10100100$  коды чисел  $A$  и  $B$  поступают на входы 1 и 2 последовательного сумматора, начиная со старшего разряда. На первом такте одноразрядным сумматором 3 формируется нулевой сигнал суммы и единичный сигнал переноса, кото-

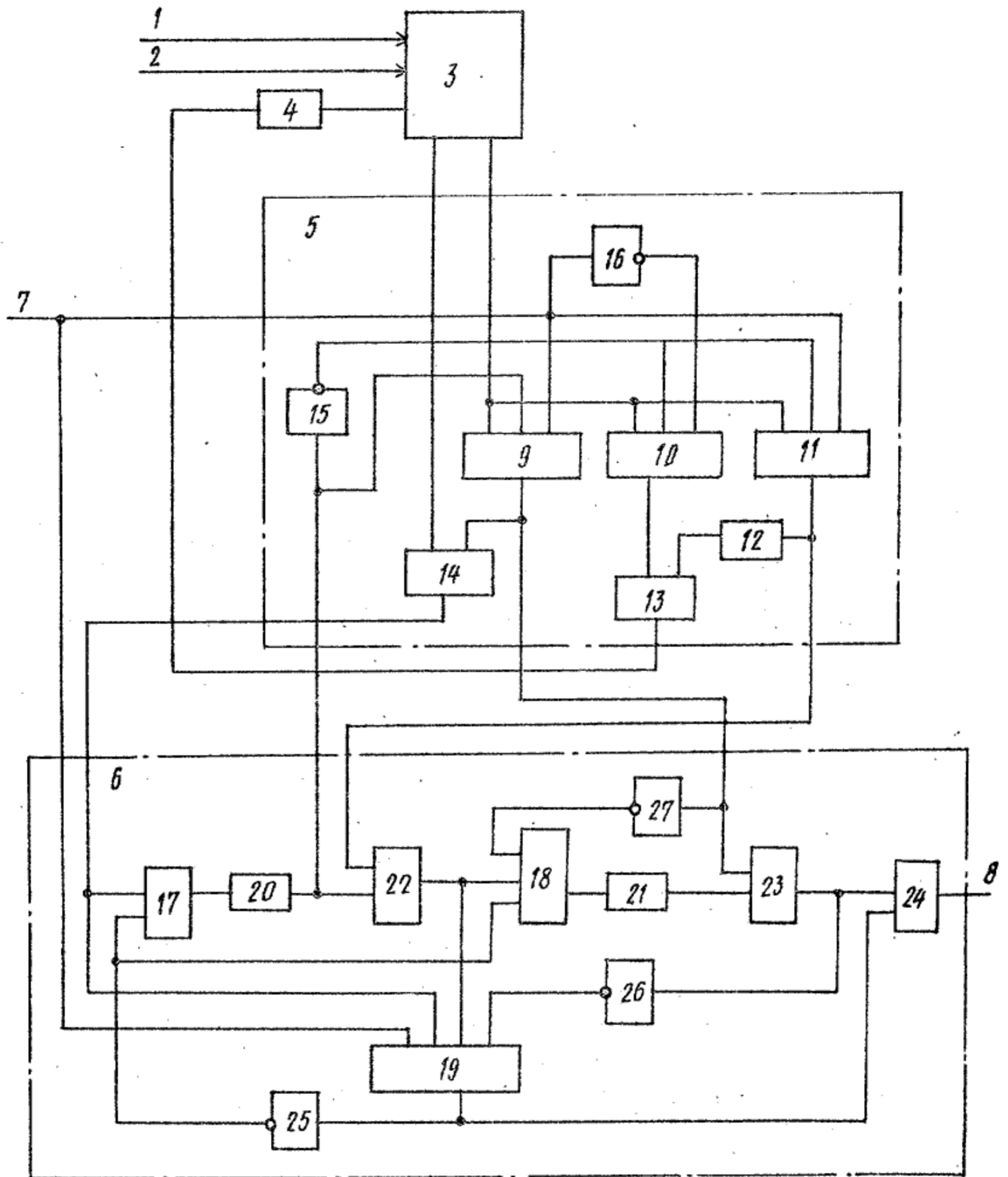
рый пройдя через цепочку элементов И 11, 22 и ИЛИ 18 поступит на вход элемента задержки 21. Кроме того, единичный сигнал переноса поступит на вход элемента задержки 12. Сложение цифр седьмых разрядов на втором такте работы приводит к формированию нулевых сигналов суммы и переноса. Но на этом такте единичный сигнал в выходах элемента задержки 21 через элементы ИЛИ 23 и 24 поступит на выход суммы 8 последовательного сумматора. На третьем такте при сложении цифр шестого разряда с переносом, возникшим на первом такте и прошедшим через элементы задержки 12 и 4, формируется единичный сигнал переноса в  $(i+1)$ -й разряд и в  $(i-2)$ -й разряд, так же как это делалось на первом такте. На четвертом такте единичный сигнал суммы поступает на вход элемента задержки 20, пройдя элементы ИЛИ 14 и И 17. Единичный сигнал с выхода элемента задержки 21 поступает на выход суммы 8 через элементы ИЛИ 23 и 24. На пятом такте единичный сигнал переноса, сформированный на третьем такте, пройдя через элементы задержки 12 и 4, приводит к образованию единичного сигнала суммы. Этот сигнал через элемент ИЛИ 14 поступит на первый вход элемента И 19, на второй вход которого поступает единичный управляющий сигнал, на третий — единичный сигнал с выхода элемента задержки 20, прошедший через элемент ИЛИ 22, на четвертый — единичный сигнал с выхода элемента И 19 поступает через элемент ИЛИ 24 на выход суммы 8, а через элемент НЕ 25 — на входы элементов И 17 и 18 и запрещает прохождение единичных сигналов на входы элементов задержки 20 и 21. На шестом такте одноразрядный сумматор 3 формирует нулевой сигнал суммы и единичный сигнал переноса, который, пройдя цепочку элементов И 11, ИЛИ 22 и И 18, поступает на вход элемента задержки 21, а единичный сигнал с выхода элемента И 11 поступает на вход элемента задержки. На седьмом такте единичный сигнал с выхода элемента задержки 12 через элемент ИЛИ 13 поступает на вход элемента задержки 4. Единичный сигнал с выхода элемента задержки 21 через элементы ИЛИ 23 и 24 поступает на выход суммы 8 последовательного сумматора. На восьмом такте единичный сигнал с выхода элемента задержки 4 поступает на вход одноразрядно-

го сумматора 3. При этом формируется единичный сигнал суммы, который поступает через элементы ИЛИ 14 и И 17 на вход элемента задержки 20. Окончательный результат сложения будет получен через время, равное двум тактам работы, необходимое для того, чтобы единичный сигнал со входа элемента задержки 20 прошел на выход суммы 8 последовательного сумматора. Окончательный результат сложения будет следующий  $A + B = 0101101001$ . Для сложения чисел в двоичной системе счисления необходимо подать нулевой сигнал на управляющий вход 7 последовательного сумматора. При этом запрещается инвертирование в блоке 16 и запрещается формирование дополнительных сигналов суммы и переноса в блоке 5. Сигнал переноса с выхода одноразрядного сумматора 3 на его вход будет поступать через цепочку элементов И 10, ИЛИ 13 и элемент задержки 14. Конечный результат также будет сформирован с задержкой на два такта.

Введение новых блоков и связей позволяет расширить функциональные возможности последовательного сумматора и выполнять суммирование чисел, представленных в "фибоначчиевой" и "золотой" системах счисления, обладающих высокой ошибкообнаруживающей способностью. В данном последовательном сумматоре контроль правильности выполнения сложения может осуществляться путем проверки результата сложения, в котором три подряд идущих разряда не могут иметь единичные значения.

#### Ф о р м у л а и з о б р е т е н и я

1. Последовательный сумматор, содержащий одноразрядный сумматор и элемент задержки, выход которого соединен с одним из входов одноразрядного сумматора, два других входа одноразрядного сумматора являются входами слагаемых последовательного сумматора, отличающийся тем, что, с целью расширения функциональных возможностей заключающегося в выполнении дополнительных операций сложения чисел в 1-коде Фибоначчи и в "золотом" 1-коде, введены блок инвертирования и блок формирования дополнительных сигналов суммы и переноса, первый вход которого соединен с выходом суммы одноразрядного сумматора, выход переноса которого соединен со вторым



Составитель В. Березкин

Редактор А. Виноградов Техред М. Келемеш Корректор Н. Горват

Заказ 6768/49

Тираж 780

Подписное

ЦНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПП "Патент", г. Ужгород, ул. Проектная, 4